

LỜI NÓI ĐẦU

Mạng truyền thông công nghiệp cũng như công nghệ bus trường không phải là một lĩnh vực kỹ thuật hoàn toàn mới, mà thực chất là các công nghệ được kế thừa, chất lọc và phát triển từ kỹ thuật truyền thông nói chung cho phù hợp với các yêu cầu trong công nghiệp. Từ hơn một thập kỷ nay, công nghệ bus trường đã trở nên không thể thiếu trong các hệ thống điều khiển và giám sát hiện đại. Song thực tế người sử dụng trong công nghiệp thường gặp phải hàng loạt các vấn đề khác nhau, do vậy trước khi xây dựng một giải pháp tự động hóa không còn là nên hay không nên mà là phải lựa chọn hệ thống mạng truyền thông nào cho phù hợp với yêu cầu và nhiệm vụ của ứng dụng thực tế.

Qua thời gian học tập tại trường sau khi kết thúc khoá học em đã được các thầy, cô truyền đạt cho những kiến thức cả về lý thuyết và thực hành, để chúng em áp dụng những kiến thức đó vào thực tế và làm quen công việc độc lập của người kỹ sư trong tương lai, thông qua một công việc cụ thể, chính vì lý do đó mà chúng em đã được nhận đề tài tốt nghiệp rất thực tế đó là: "***Nghiên cứu xây dựng hệ thống kết nối thông tin giữa các bộ điều khiển***". Trong quá trình thực hiện đề án chúng em được sự hướng dẫn nhiệt tình của thầy giáo Ths. Nguyễn Trọng Thắng là giảng viên Bộ môn Điện Dân Dụng Công Nghiệp.

Tuy nhiên, trong quá trình thực hiện đề án em còn nhiều bỡ ngỡ, do chưa có kinh nghiệm thực tiễn nên không tránh khỏi những sai sót. Mong thầy giáo và các bạn giúp đỡ em trong quá trình nghiên cứu.

Đề tài gồm những nội dung sau

- Chương 1 : Tổng quan về hệ thống thông tin công nghiệp, cơ sở kỹ thuật, bus tiêu biểu.
- Chương 2 : Thiết kế hệ thống truyền thông trên nền vi điều khiển PIC
- Chương 3 : Thiết kế sơ đồ mạch phân cứng: mạch in, mạch nguyên lý, sơ đồ khối.

Em xin chân thành cảm ơn !

Hải Phòng, ngày tháng năm 2010

Sinh viên

Nguyễn Văn Nhất

CHƯƠNG 1: TỔNG QUAN VỀ HỆ THỐNG THÔNG TIN CÔNG NGHIỆP, CƠ SỞ KỸ THUẬT, BUS TIÊU BIỂU

A: GIỚI THIỆU CHUNG.

1.1. GIỚI THIỆU CHUNG VỀ MẠNG TRUYỀN THÔNG CÔNG NGHIỆP

Mạng truyền thông công nghiệp thực chất là một dạng đặc biệt của *mạng máy tính*, có thể được so sánh với mạng máy tính thông thường ở những điểm giống và khác nhau như sau:

- Kỹ thuật truyền thông số hay truyền dữ liệu là đặc trưng chung
- Mạng máy tính sử dụng trong công nghiệp được coi là một phần (ở các cấp điều khiển giám sát, điều hành sản xuất và quản lý công ty) trong mô hình phân cấp của mạng công nghiệp.

-Yêu cầu về tính năng thời gian thực, độ tin cậy và khả năng tương thích trong môi trường công nghiệp của mạng truyền thông công nghiệp cao hơn so với mạng máy tính thông thường, trong khi đó mạng máy tính thường đòi hỏi cao hơn về độ bảo mật của thông tin.

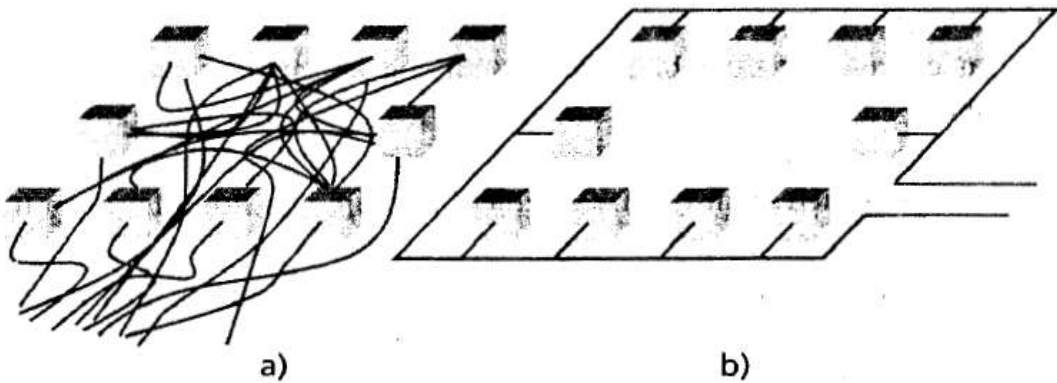
-Mạng máy tính có phạm vi trải rộng khác nhau, ví dụ có thể nhỏ như mạng LAN cho một nhóm vài máy tính , hoặc rất lớn như mạng Internet. Trong nhiều trường hợp mạng máy tính gián tiếp sử dụng dịch vụ truyền dữ liệu của mạng viễn thông. Trong khi đó cho đến nay các hệ thống mạng công nghiệp thường có tính chất độc lập, phạm vi hoạt động tương đối hẹp.

1.2. VAI TRÒ MẠNG TRUYỀN THÔNG CÔNG NGHIỆP

- Đơn giản hoá cấu trúc liên kết giữa các thiết bị công nghiệp
- Giảm đáng kể giá thành dây nối và công lắp đặt hệ thống
- Nâng cao độ tin cậy và độ chính xác của thông tin nhờ truyền thông số
- Nâng cao độ linh hoạt , tính năng mở của hệ thống
- Đơn giản hoá, tiện lợi hoá việc chuẩn đoán định vị lỗi sự cố các thiết bị

- Nâng cao khả năng tương tác giữa các thành phần (phần cứng và mềm) nhờ các giao diện chuẩn

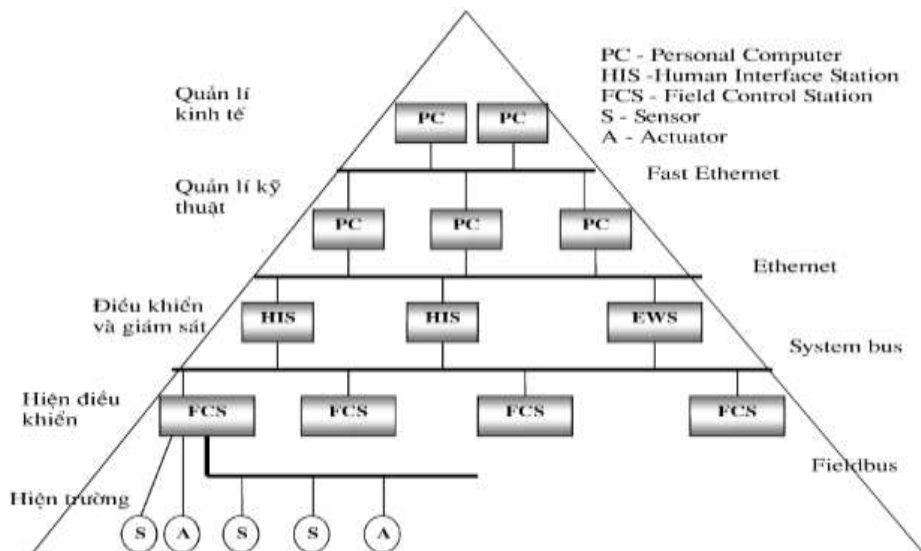
- Mở ra chức năng và khả năng ứng dụng mới của hệ thống, ví dụ các hệ thống điều khiển phân tán, điều khiển giám sát hoặc chuẩn đoán lỗi từ xa qua Internet



H1.1 Nối dây truyền thống(a) nối mạng công nghiệp(b)

1.3. PHÂN LOẠI VÀ ĐẶC TRƯNG CÁC HỆ THỐNG MẠNG CÔNG NGHIỆP

Dựa vào mô hình phân cấp quen thuộc cho các công ty, xí nghiệp sản xuất. Với loại mô hình này, các chức năng được phân thành nhiều cấp khác nhau



H1.2 Mô hình phân cấp chức năng một nhà máy công nghiệp

Ở những cấp dưới thì chức năng càng cơ bản đòi hỏi yêu cầu cao hơn về độ nhạy thờ gian phản ứng. Cấp trên ko đòi hỏi thời gian phản ứng nhanh nhưng lượng thông tin lại nhiều

- Bus trường, bus thiết bị(fieldbus): Sử dụng kỹ thuật truyền tin số để kết nối các thiết bị thuộc cấp điều khiển(PC, PLC) với nhau và với các thiết bị chấp hành, hay thiết bị trường. Chức năng là đo lường, dẫn động và chuyển đổi tín hiệu trong trường hợp cần thiết. Các bus trường chỉ chấp hành với các bộ điều khiển cũng được gọi là *bus chấp hành/cảm biến*.(tg phản ứng 0.1-vài miligiây) tốc độ truyền thông Mbit/s. các hệ thống bus trường được sử dụng rộng rãi hiện nay PROFIBUS, CotrolNet, CAN, WorldFIP, Modbus, Foundation Fildbus, DeviceNet, AS-I, EIB, Bitbuslaf một vài hệ thống bus cảm biến / chấp hành tiêu biểu .

- Bus hệ thống, bus quá trình:Các hệ thống mạng công nghiệp được dung để kết nối các máy tính trên cấp điều khiển giám sát với nhau gọi là *bus hệ thống (system bus)* hay *bus quá trình (process bus)* (tg phản ứng tiêu biểu một vài trăm miligiây. Tốc độvài trăm Kbit/s- vài Mbit/s. kiểu bus thông dụng Ethernet , Industrial Ethernet

- Mạng xí nghiệp thực ra là mạng LAN bình thường kết nối các máy văn phòng thuộc cấp điều hành với cấp điều khiển giám sát , ko yêu cầu nghiêm ngặt về thời gian thực. 2 loại dung phổ biến Ethernet và Token-Ring trên cơ sở các giao thức TCP/IP IPX/SPX

- Mạng công ty nằm trên cùng mô hình phân cấp hệ thống truyền thông của một công ty sản xuất công nghiệp. Đặc trưng của mạng công ty gần với một mạng viễn thông hoặc mạng máy tính diện rộng . Chức năng của mạng này là kết nối các máy tính văn phòng của các xí nghiệp, cung cấp dịch vụ trao đổi thông tin nội bộ và khách hang. Đòi hỏi về tốc độ truyền thông độ an toàn tin cậy cao.

B: CƠ SỞ KỸ THUẬT.

1.4. CÁC KHÁI NIỆM

1.4.1 Thông tin, dữ liệu, tín hiệu.

- Thông tin: Thông tin là cơ sở cho sự giao tiếp, thông qua việc giao tiếp mà các đối tác có thêm hiểu biết lẫn nhau hoặc về cùng một vấn đề, một sự kiện hoặc một hệ thống. Thông tin là thước đo mức nhận thức sự hiểu biết về một vấn đề một sự kiện hoặc một hệ thống.

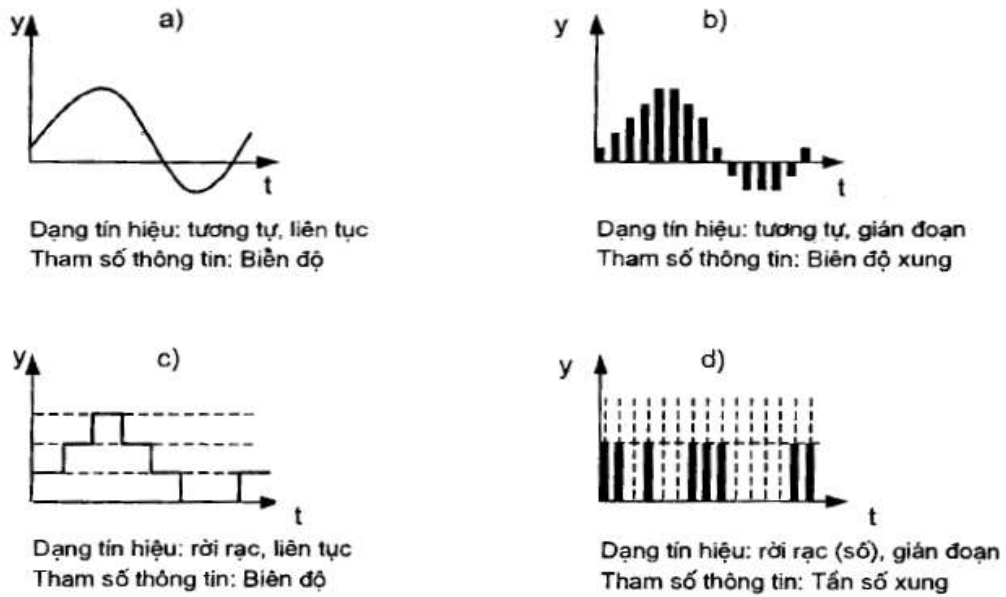


H1.3 Vai trò của thông tin trong các hệ thống kỹ thuật.

- Dữ liệu: Thông tin có thể được mô tả hoặc số lượng hoá bằng dữ liệu để có thể lưu trữ và xử lý trong máy tính. Trong trường hợp đó thông tin được số hoá sử dụng hệ đếm nhị phân hay *mã hoá nhị phân*. Nói trong ngữ cảnh cấu trúc một bức điện dữ liệu chính là phần thông tin hữu ích được biểu diễn bằng dãy các bit 1,0. Hoặc dữ liệu là phần thông tin hữu dụng (thông tin nguồn) trong một bức điện.

- Lượng thông tin: Thông tin chính là sự xoá bỏ tính bất định mức độ sự xoá bỏ tính bất định này hay nói cách khác giá trị về sự hiểu biết một nguồn thông tin mang lại được gọi là lượng thông tin. Đơn vị “bit”.

- Tín hiệu: Là diễn biến của một đại lượng vật lý chứa đựng tham số thông tin/ dữ liệu và có thể truyền dẫn được. các tham số thường được dung trực tiếp hoặc gián tiếp hay kết hợp để biểu thị nội dung thông tin: biên độ, tần số, nhịp xung, độ rộng xung, sườn xung, pha. Theo diễn biến thời gian hoặc tập hợp giá trị tham số dạng : tương tự, rời rạc, liên tục, gián đoạn.

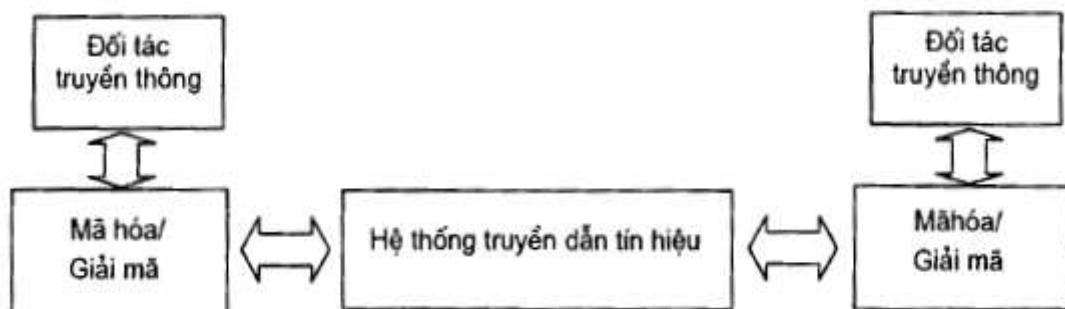


H1.4 Một số dạng tín hiệu thông dụng.

1.4.2 Truyền thông, truyền dữ liệu và truyền tín hiệu.

- Giao tiếp và truyền thông: Là quá trình trao đổi thông tin giữa 2 chủ thể với nhau được gọi là cá đối tác giao tiếp theo một phương pháp được qui định trước . Đối tác này có thể điều khiển đối tác kia hoặc quan sát trạng thái các đối tác. Đối tác có thể là người hoặc hệ thống kỹ thuật. Để thực hiện giao tiếp hay truyền thông ta cần các tín hiệu thích hợp. Trên cơ sở các dạng tín hiệu khác nhau có các kiểu giao tiếp sau: giao tiếp tiếng nói, hình ảnh, văn bản, dữ liệu. Trong các hệ thống truyền thông công nghiệp hiện đại ta chỉ quan tâm tới truyền tín hiệu số hay là truyền dữ liệu, chuẩn giao tiếp là các chuẩn giao tiếp số.

- Mã hoá, giải mã:



H1.5 Nguyên tắc cơ bản của truyền thông.

Mã hoá chỉ quá trình biến đổi nguồn thông tin(dữ liệu) cần trao đổi sang một chuỗi tín hiệu thích hợp để truyền dẫn. Quá trình này ít nhất bao gồm 2 bước mã hoá nguồn và mã hoá đường truyền. Tín hiệu truyền đi cần có một phương pháp phân biệt giới hạn giữa các bit dữ liệu nối tiếp nhau gọi là phương pháp đồng bộ hoá . Quá trình giải mã ngược lại chuyển đổi tín hiệu nhận được thành dãy bit tương ứng

- Điều chế và điều biến tín hiệu: Điều chế là tạo một tín hiệu trực tiếp mang tham số thông tin, thể hiện qua biên độ, tần số hoặc pha, trong đó tham số thông tin thông tin có thể lấy một giá trị bất kỳ. Điều biến là quá trình dung tín hiệu mang thông tin để điều khiển biến đổi các tham số thích hợp của một tín hiệu thứ 2 . Mục đích sử dụng tín hiệu mang có dải tần khác để thực hiện phương pháp dồn kênh phân chia tần số hoặc tránh truyền dẫn ở dải tần cơ sở dễ bị nhiễu.

- Tốc độ truyền, tốc độ bit : Tính bằng số bit truyền tải trong 1s (baud, bps)
 $V = f \cdot n$ (v: số bit truyền đi, f: tần số xung nhịp, n: số bit truyền đi trong một nhịp)

- Thời gian bit/ chu kỳ bit : Thời gian bit là thời gian trung bình cần thiết để chuyển một bit hay chính bằng giá trị nghịch đảo của tốc độ truyền tải

$$-T_b = 1/v, T_b = 1/f \quad (n=1)$$

- Thời gian lan truyền tín hiệu : Là thời gian cần để một tín hiệu phát ra từ một đầu dây lan truyền tới đầu dây khác. phụ thuộc vào chiều dài cấu tạo dây dẫn. $T_s = l/9(k \cdot c)$ với: T_s là thời gian lan truyền tín hiệu, l là chiều dài dây dẫn, c là tốc độ ánh sáng (300.000.000)m/s , k biểu thị hệ số giảm tốc độ truyền do lớp cách ly. $K = 1/\sqrt{\epsilon}$ Với ϵ là hằng số điện môi của lớp cách ly, Polyethylen = 2.3, $k = 0.66$, T_s sẽ phụ thuộc chiều dài dây dẫn. $T_s = 1/200\,000\,000$.

1.4.3 Tính năng thời gian thực

Là một trong những đặc trưng quan trọng nhất đối với các hệ thống tự động hoá nói chung và bus trường nói riêng. Sự hoạt động bình thường của một hệ thống làm việc trong thời gian thực không chỉ phụ thuộc vào độ chính

xác đúng đắn của kết quả đầu ra mà òn phụ thuộc thời điểm đưa ra kết quả. Một hệ thống có tính năng thời gian thực không nhất thiết phải có phản ứng nhanh mà quan trọng hơn là phải có phản ứng kịp thời với các yêu cầu tác động bên ngoài. Như vậy một hệ thống truyền thông có tính năng thời gian thực phải có khả năng truyền tải thông tin một cách tin cậy và kịp thời với các đối tác truyền thông. Tính năng thời gian thực của một hệ thống điều khiển phân tán phụ thuộc rất nhiều vào hệ thống bus trường được dung. Để đảm bảo tính năng thời gian thực một hệ thống bus phải có những đặc tính sau:

- *Độ nhanh nhạy*: tốc độ truyền thông hữu ích phải đủ nhanh để đáp ứng nhu cầu trao đổi dữ liệu trong một giải pháp cụ thể.

- *Tính tiên định* : dự đoán trước về thời gian phản ứng tiêu biểu và thời gian phản ứng chậm nhất với yêu cầu từng trạm

- *Độ tin cậy, kịp thời*: Đảm bảo tổng thời gian cần cho việc vận chuyển dữ liệu một cách tin cậy giữa các trạm nằm trong một khoảng cách nhất định.

- *Tính bền vững* : Có khả năng xử lý sự cố một cách thích hợp để không gây hại thêm cho toàn bộ hệ thống.

1.5. CHẾ ĐỘ TRUYỀN TẢI

Là phương thức các bit dữ liệu được chuyển giữa các đối tác truyền thông, có nhìn nhận từ các góc độ sau đây:

- Truyền song song hay nối tiếp
- Truyền đồng bộ hay không đồng bộ
- Truyền một chiều(*simplex*) hai chiều toàn phần (*duplex* , *full-duplex*) hay hai chiều bán đoạn (*half-duplex*)
- Truyền tải dải cơ sở, truyền tải dải mang và truyền tải dải rộng

1.5.1 Truyền bit song song và nối tiếp



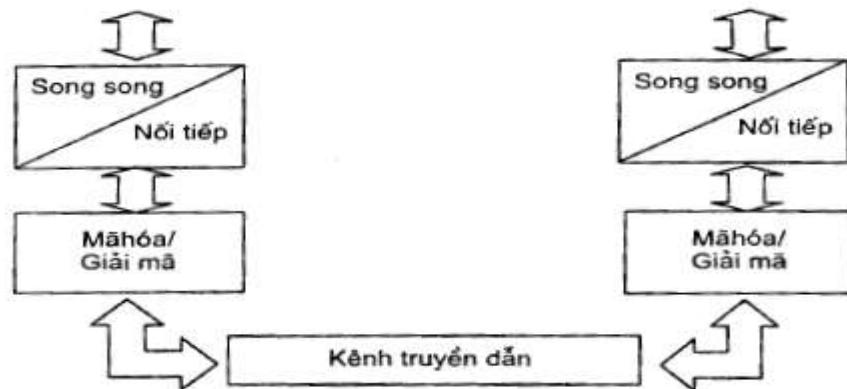
(a) Truyền bit song song

(b) Truyền bit nối tiếp

H1.6 Truyền bit song song và truyền bit nối tiếp

- Phương pháp song song dùng phổ biến trong bus nội bộ của máy tính như bus địa chỉ, dữ liệu và điều khiển (tín hiệu truyền đồng thời nên cần đồng bộ hoá ở cả nơi phát và nhận)

- Phương pháp nối tiếp từng bit được chuyển đi tuần tự qua một đường truyền duy nhất (hạn chế về tốc độ nhưng thực hiện đơn giản tin cậy cao).



H1.7 Nguyên tắc truyền bit nối tiếp.

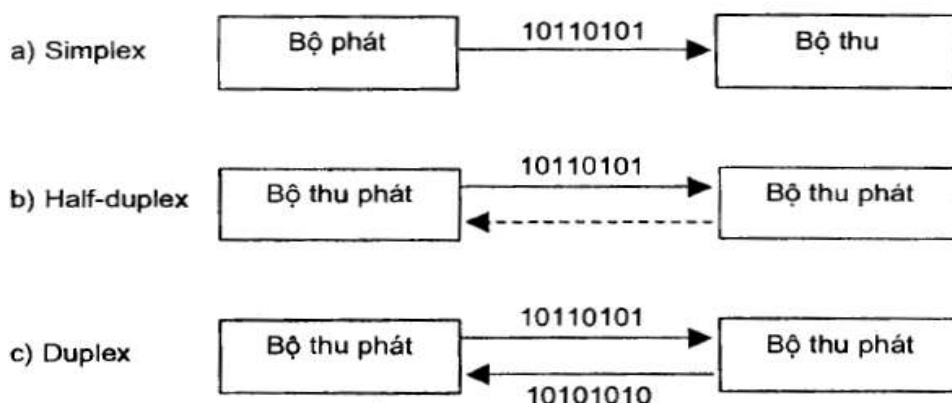
1.5.2 Truyền đồng bộ và không đồng bộ

Liên quan tới truyền bit song song.

- Trong chế độ đồng bộ các đối tác làm việc theo cùng một nhịp(cùng f và độ lệch pha không đổi) . Có thể qui định một trạm có vai trò tạo nhịp và dung một đường dây riêng mang nhịp đồng bộ cho các trạm khác. Biện pháp kinh tế hơn là dung phương pháp mã hoá bit thích hợp để bên nhận có thể có thể tái tạo nhịp đồng bộ từ chính tín hiệu mang dữ liệu.

1.5.3 Truyền một chiều, hai chiều toàn phần và gián đoạn.

- Chế độ này ít phụ thuộc vào tính chất vật lý của môi trường truyền dẫn, mà phụ thuộc vào phương pháp truyền dẫn tín hiệu., chuẩn truyền dẫn RS-232 RS-422 RS-485... và vào cấu hình của hệ thống truyền dẫn.



H 1.8 Truyền Simplex , half- duplex và duplex

- Truyền một chiều: thông tin chỉ truyền đi theo một chiều, một trạm chỉ có thể là bên phát hoặc thu trong suốt quá trình giao tiếp.

- Truyền 2 chiều gián đoạn cho phép mỗi trạm có thể tham gia nhận hoặc gửi thông tin nhưng không cùng một lúc. Ưu điểm là không cần cấu hình cao nhưng có thể truyền tốc độ cao. Chế độ truyền này được sử dụng phổ biến trong mạng công nghiệp vd với chuẩn RS-485.

- Với chế độ truyền 2 chiều toàn phần mỗi trạm đều có thể gửi và nhận thông tin cùng một lúc. Chế độ này chỉ khác với chế độ hai chiều gián đoạn là dung 2 đường truyền cho thu và phát.

1.5.4 Truyền tải cơ sở, dải mang và truyền tải dải rộng.

- Truyền tải dải cơ sở: Một tín hiệu mang một nguồn thông tin có thể biểu diễn bằng tổng của nhiều dao động có tần số khác nhau nằm trong phạm vi hẹp gọi là dải tần cơ sở hay dải hẹp. Tín hiệu truyền đi cũng chính là tín hiệu được tạo ra sau khi mã hoá bit, nên có tần số cố định hoặc nằm trong khoảng hẹp nào đó, tùy thuộc vào phương pháp mã hoá bit. Phương pháp này dễ thực hiện nhưng tốc độ hạn chế. Dùng chủ yếu trong truyền thông công nghiệp.

- Truyền tải dải mang: Tín hiệu mang có tần số nằm trong dải tần thích hợp (*dải mang*) Dữ liệu cần truyền tải sẽ dùng để điều chế tần số, biên độ hoặc pha tín hiệu mang. Bên nhận sẽ thực hiện quá trình giải điều chế để khôi phục thông tin nguồn. Dùng cho kênh truyền tin duy nhất.

- Truyền tải dải rộng: Tín hiệu có thể chứa đựng nhiều nguồn thông tin khác nhau bằng cách sử dụng kết hợp nhiều thông số thông tin. Thông tin được mã hoá, mỗi tín hiệu tạo ra sẽ dùng để điều biến một tín hiệu khác thường có tần số lớn hơn nhiều (*tín hiệu mang*) Do tín hiệu có tần số khác nhau nên có thể pha trộn thành 1 tín hiệu, tín hiệu này lại dùng để điều biến tín hiệu khác. Tín hiệu thu được từ khâu này mới được truyền đi. Đây chính là kỹ thuật dồn kênh phân tần trong truyền tải thông tin. Phía nhận sẽ thực hiện giải điều biến và phân kênh khôi phục tín hiệu mang các nguồn thông tin khác nhau. Sử dụng rộng rãi trong mạng viễn thông.

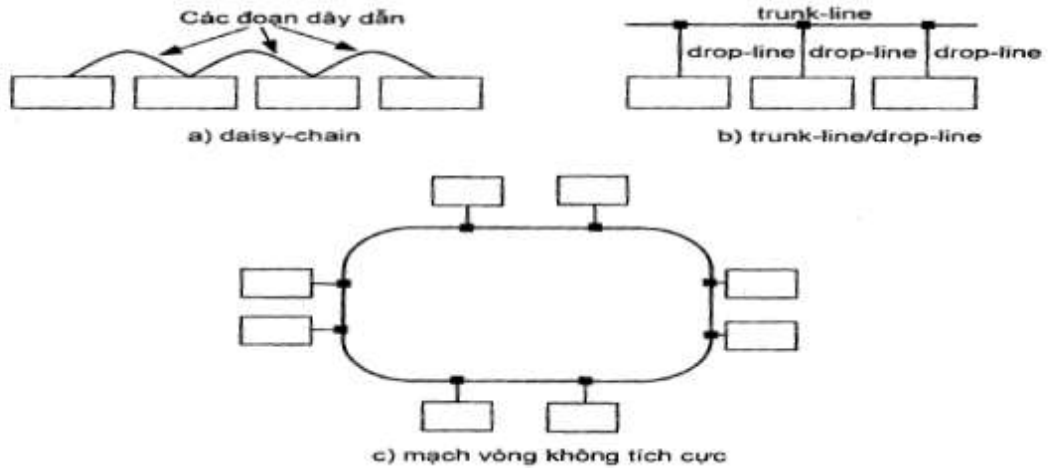
1.6. CẤU TRÚC MẠNG - TOPOLOGY

Các đối tác truyền thông có thể có một hoặc nhiều liên kết:

- Liên kết điểm- điểm(chỉ có 2 đối tác tham gia),
- Liên kết điểm- nhiều điểm(1 trạm chủ phát đi nhiều trạm còn lại có thể truyền qua 1 cáp duy nhất) ,
- Liên kết nhiều điểm(Trong một mối liên kết có nhiều đối tác tham gia và có thể trao đổi thông tin qua lại tự do
- Topology là cấu trúc liên kết của một mạng hay là tổng hợp của nhiều liên kết.(có sắp xếp logic các nút mạng). Có các loại cấu trúc sau:

1.6.1 Cấu trúc bus:

- Các thành viên của mạng đều được nối trực tiếp với đường dẫn chung- tiết kiệm công lắp đặt. Có 3 kiểu cấu hình trong cấu trúc này:



H1.9 Cấu trúc bus

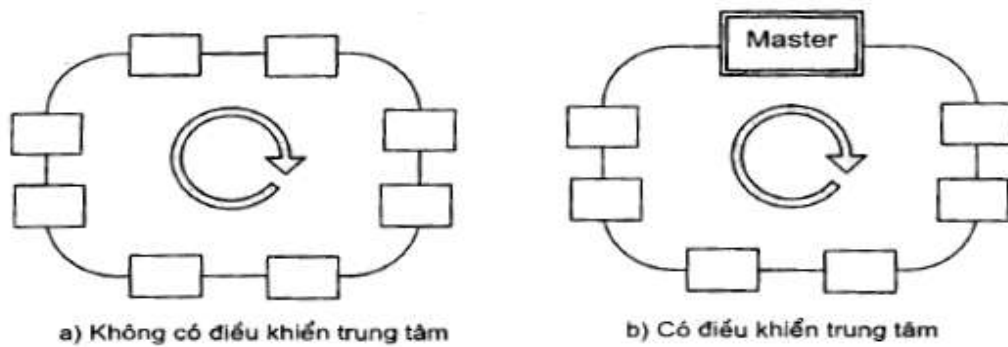
Nhược điểm:

- Trình tự truyền không kiểm soát được
- Trạm phải xác định thông tin có phải gửi cho mình không nên khi mở rộng phải dùng các bộ lặp
- L dây dẫn dài nên chất lượng giảm
- Khi đứt dây kết nối bus hỏng cả hệ thống ngừng hoạt động
- Cấu trúc đường thẳng liên kết đa điểm cố hữu nên khó áp dụng công nghệ mới

Một số mạng công nghiệp sử dụng cấu trúc bus như PROFIBUS, CAN, WorldFIP....

1.6.2 Cấu trúc mạch vòng(tích cực).

Thành viên được nối từ điểm này đến điểm kia một cách tuần tự trong một mạch vòng khép kín. Mỗi thành viên đều tham gia vào việc kiểm soát dòng tín hiệu.

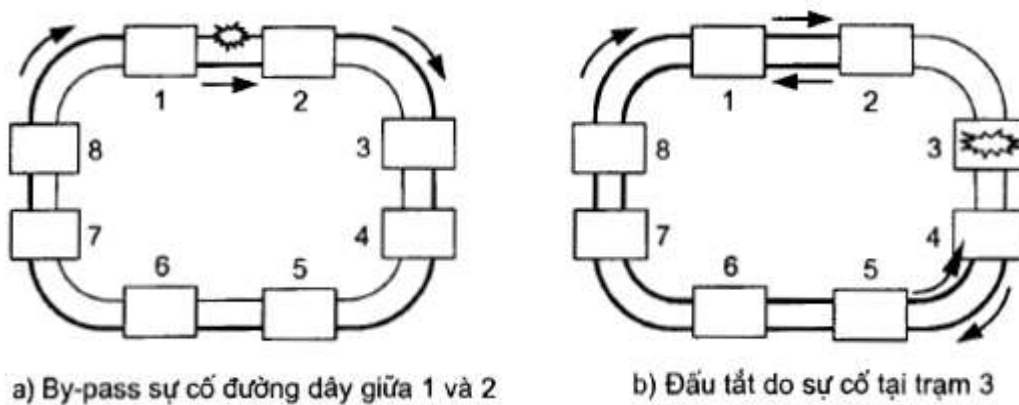


H1.10 Cấu trúc mạch vòng.

Ưu điểm:

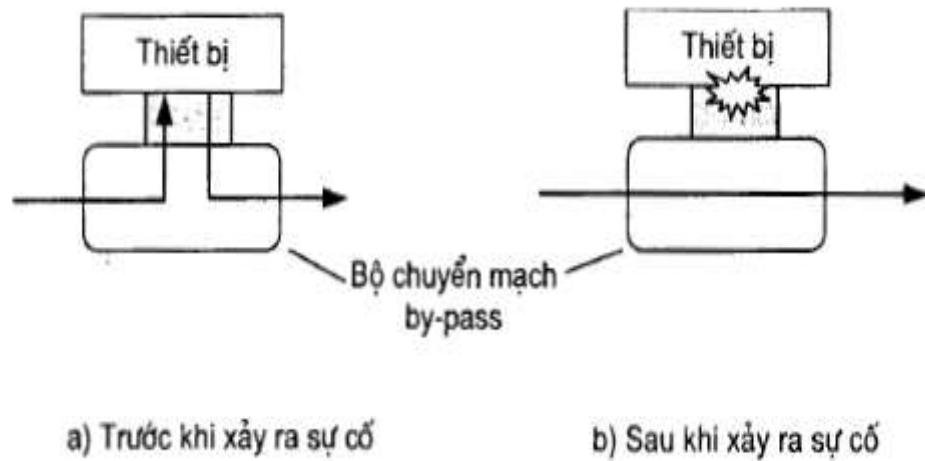
- Một nút đồng thời là khuếch đại nên khoảng cách trạm mở rộng, mỗi trạm có thể vừa nhận và phát một lúc. Mỗi thành viên ngăn cách mạch rã vòng ra làm 2 phần tín hiệu chỉ truyền theo một chiều nên tránh xung đột

- Có khả năng xác định vị trí sự cố:



H 1.11 Xử lý sự cố trong mạch vòng đúp

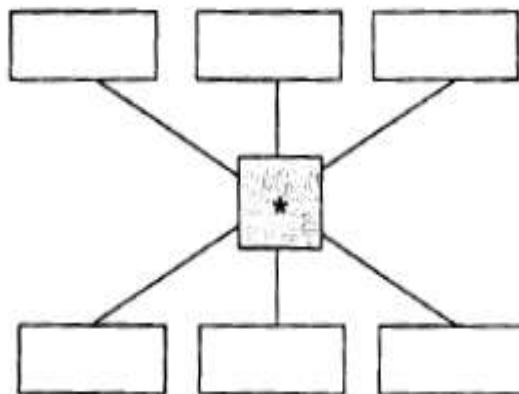
Cấu trúc này được sử dụng trong một số hệ thống có độ tin cậy cao Interbus, Token-Ring,(IBM) và FDD



H1.12 sử dụng bộ chuyển mạch by-pass

1.6.3 Cấu trúc hình sao.

Trạm trung tâm điều khiển tất cả

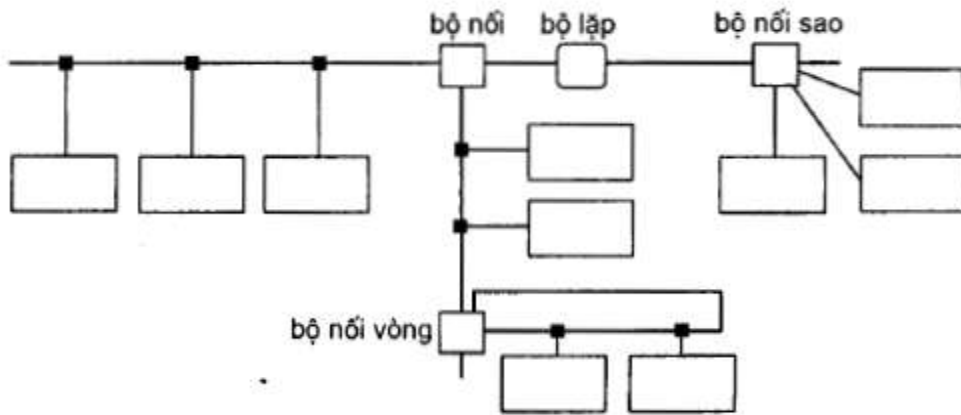


H1.13 Cấu trúc sao

Nhược điểm: Trạm trung tâm hỏng sẽ tê liệt hoàn toàn, tốn dây dẫn

1.6.4 Cấu trúc cây

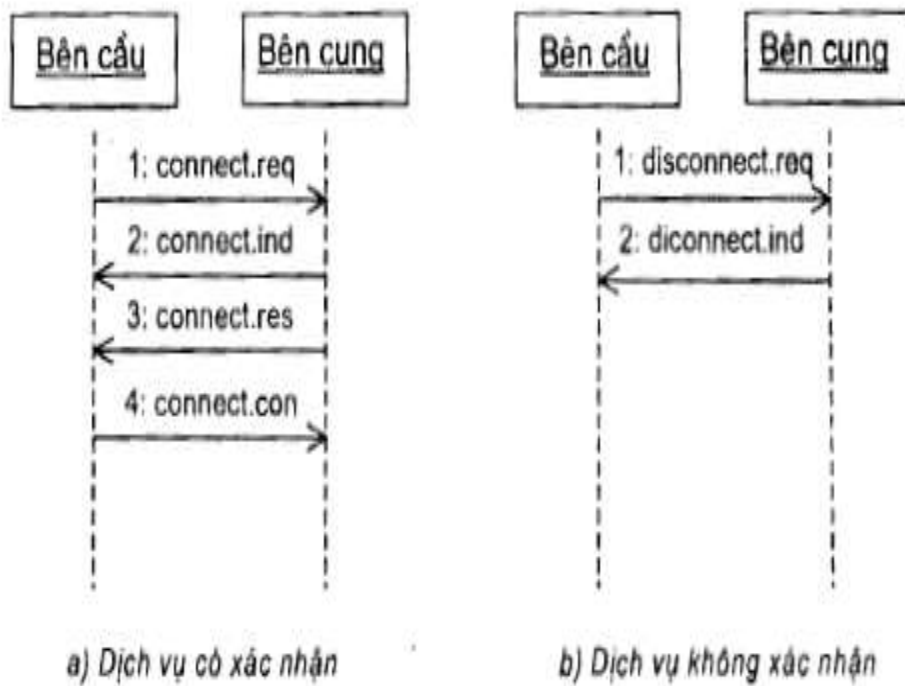
Là cấu trúc liên kết nhiều mạng con có cấu trúc đường thẳng



H1.14 Cấu trúc cây

1.7. KIẾN TRÚC GIAO THỨC

1.7.1 Dịch vụ truyền thông



H1.15 Dịch vụ có xác nhận và không xác nhận

1.7.2 Giao thức

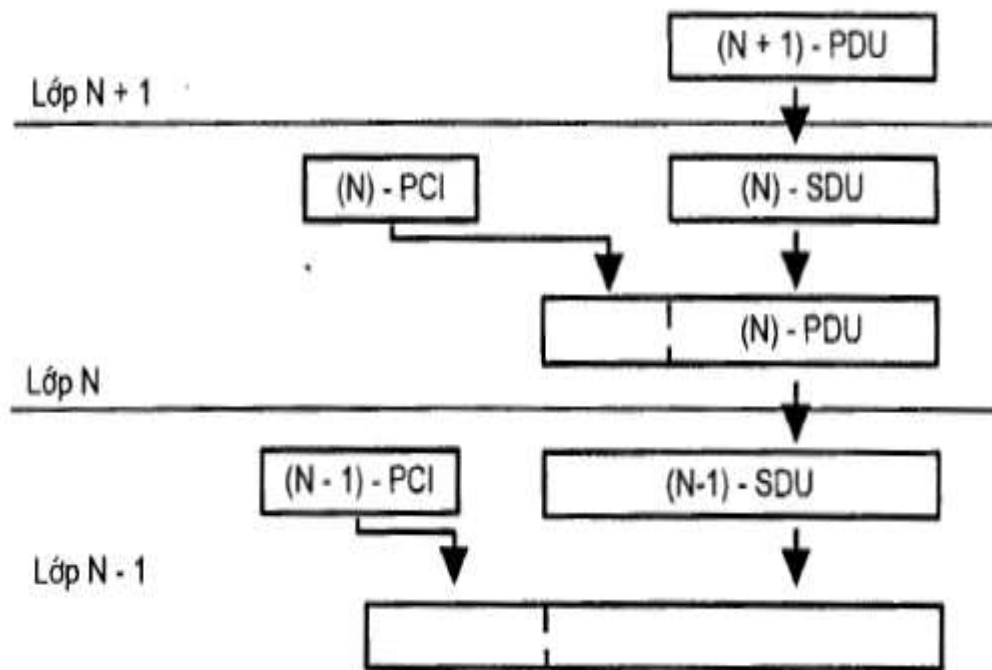
- Trong kỹ thuật truyền thông bên cung cấp dịch vụ và bên sử dụng đều phải tuân theo qui tắc, thủ tục giao tiếp gọi là giao thức. Một qui tắc giao thức gồm: Cú pháp-syntax (cấu trúc, dữ liệu, ...), Ngữ nghĩa-semamtic, Định thời.

- Quá trình xử lý giao thức có thể là mã hoá gọi là xử lý giao thức

- Một số giao thức(phần mềm) FTP- trao đổi file từ xa, HTTP...

TCP/IP....

1.7.3 Mô hình lớp

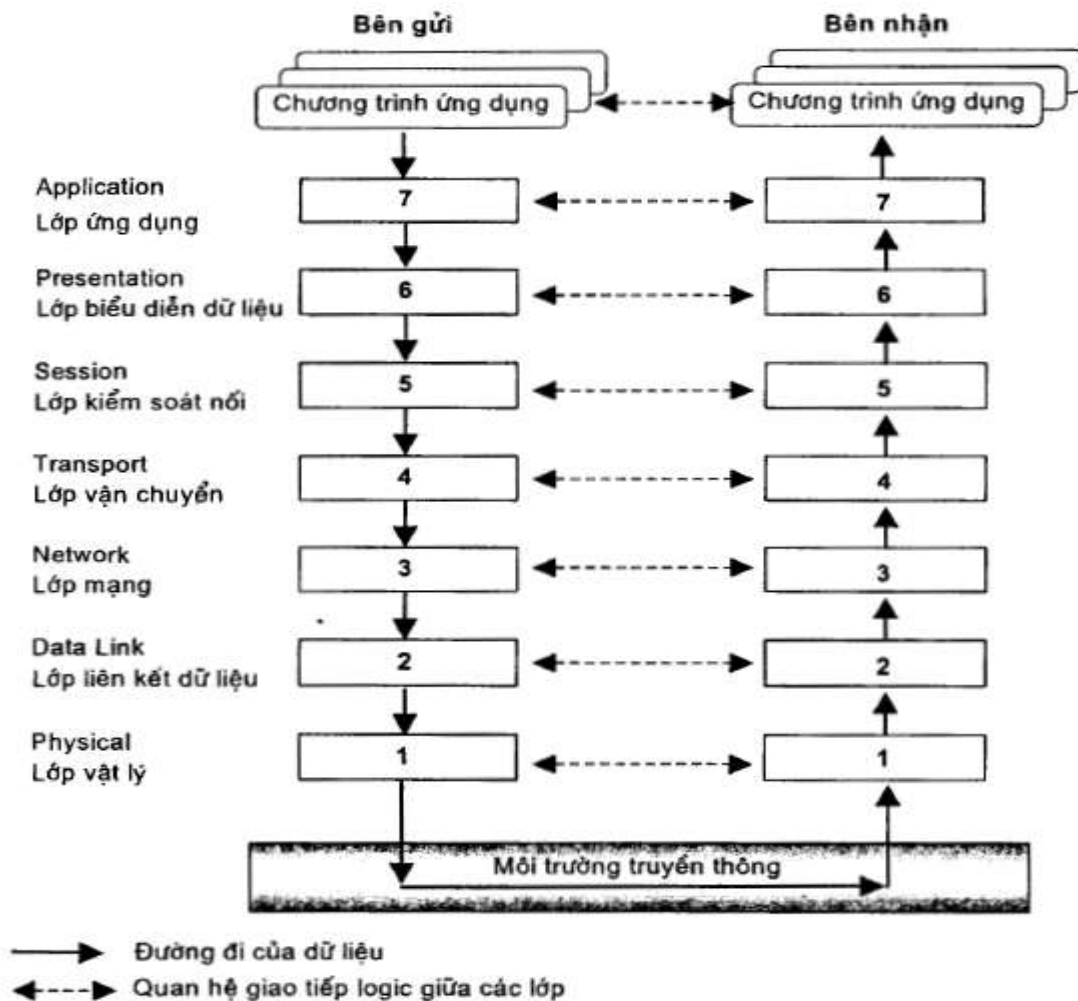


PDU: Protocol Data Unit - Khối dữ liệu giao thức
SDU: Service Data Unit - Khối dữ liệu dịch vụ
PCI: Protocol Control Information - Thông tin điều khiển giao thức

H1.16 Xử lý giao thức theo mô hình lớp

- Các phân việc được sắp xếp theo chiều dọc thành từng lớp tương ứng với các lớp dịch vụ và các lớp giao thức khác nhau. Mỗi lớp giải quyết một nhiệm vụ rõ ràng phục vụ việc truyền thông. Một dịch vụ ở lớp trên sử dụng dịch vụ ở lớp dưới ngay kề nó.

1.7.4 Kiến trúc giao thức OSI



H1.17 Mô hình qui chiếu ISO/ OSI

1.7.5 Kiến trúc giao thức TCP/IP

Ngày nay nó xâm nhập rất nhiều phạm vi ứng dụng khác nhau trong đó có mạng máy tính cục bộ và mạng truyền thông công nghiệp

1.8. TRUY NHẬP BUS

- Một trong những vấn đề quan trọng nhất ảnh hưởng tới hệ thống chất lượng bus là phương pháp phân chia thời gian gửi thông tin trên đường dẫn hay là phương pháp truy nhập bus. Nó có ảnh hưởng khác nhau tới các tính năng kỹ thuật của hệ thống.

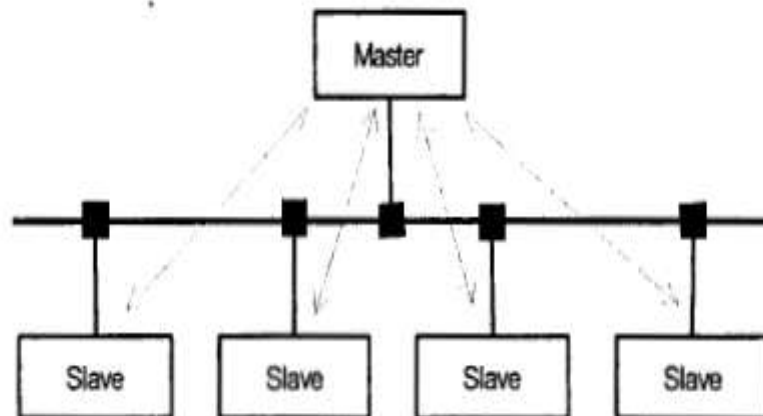
- Phân loại truy nhập bus



H 1.18 Phân loại phương pháp truy nhập bus

1.8.1 Master/ Slave

- Trạm chủ phân chia quyền truy nhập bus cho các trạm con, trạm con chỉ có quyền truy nhập bus và gửi tín hiệu đi khi có yêu cầu.



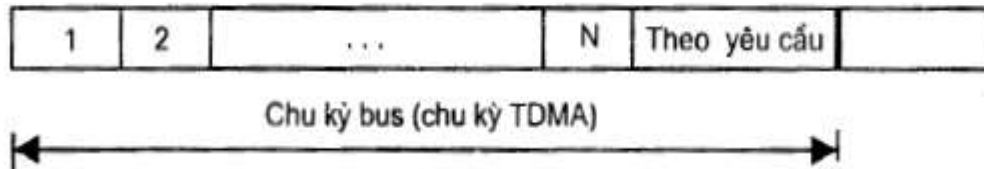
H1.19 Phương pháp chủ/tớ.

- Ưu điểm: Kết nối mạng các trạm tớ đơn giản, đỡ tốn kém. Mọi việc đều chủ yếu tập trung ở trạm chủ.

- Nhược: Hiệu suất trao đổi thông tin giữa các trạm tớ bị giảm do dữ liệu phải đi qua khâu trung gian là trạm chủ, nên giảm hiệu xuất đường truyền, 2 trạm tớ trao đổi nhau mất thời gian dài hơn một chu kỳ bus. Độ tin cậy của hệ thống truyền thông phụ thuộc hoàn toàn vào một trạm chủ duy nhất, khi trạm chủ hỏng thì cả hệ thống hỏng.

1.8.2 TDMA(Time Division Multiple Access) Phương pháp đa truy nhập phân chia thời gian.

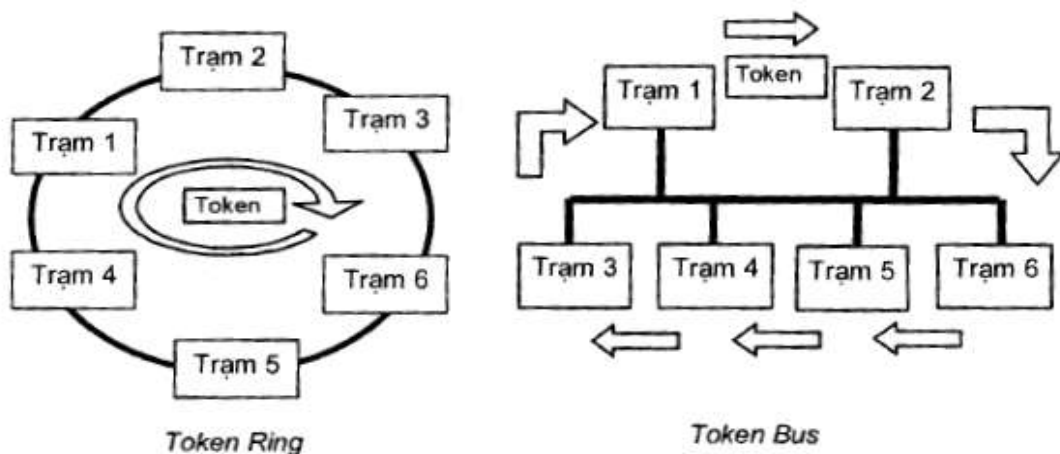
- Mỗi trạm thay nhau gửi thông tin trong khoảng thời gian cho phép, theo tuần tự định sẵn. Việc phân chia này thực hiện trước khi ht hoạt động.



H1.20 Phương pháp TDMA

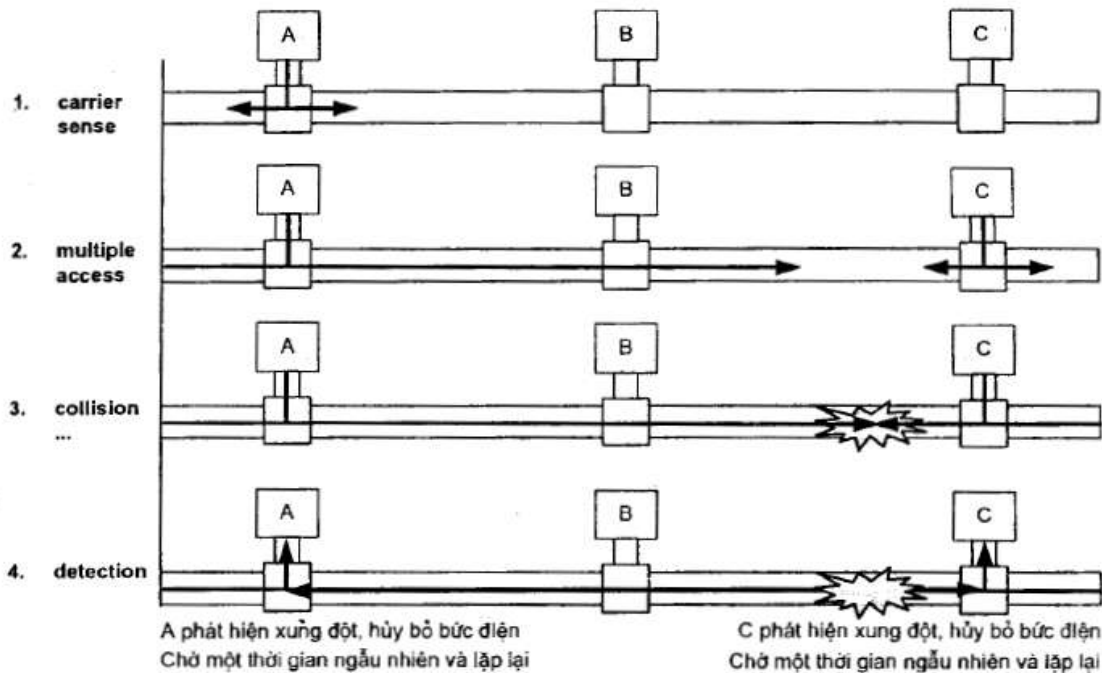
1.8.3 Token Passing:

Là một bức điện ngắn không mang dữ liệu, có cấu trúc đặc biệt để phân biệt với các bức điện nguồn, được dùng tương tự như một chìa khoá . Một trạm được quyền truy nhập bus và gửi thông tin đi chỉ trong thời gian nó giữ token. Khi không có nhu cầu trạm không có token sẽ gửi tới trạm khác theo một trình tự nhất định. Một trạm đang giữ token được gửi thông tin đi và kiểm soát của một số trạm khác. Trong thời gian xác lập cấu hình các trạm có thể dự tính về thời gian dùng token của mình và tìm chu kỳ bus thích hợp để cá quyền tham gia gửi thông tin và kiểm soát hoạt động truyền thông của mạng. Việc kiểm soát gồm các bước: giám sát token, khởi tạo token, tách trạm ra khỏi mạch vòng logic , bổ xung trạm mới.



H1.21 Hai dạng của phương pháp Token- Passing

1.8.4 CSMA/CD (*Carrier Sense Multiple Access with Collision Detection*)



H1.22 Phương pháp CSMA/CD

- Nguyên tắc làm việc: Mỗi trạm đều có quyền truy nhập bus mà không cần một sự kiểm soát nào. Các bước tiến hành

- Điều kiện ràng buộc: Phương pháp bị hạn chế bởi chiều dài dây dẫn, tốc độ truyền thông và chiều dài bức điện. Điều kiện thực hiện phương pháp là tg gửi một bức điện phải lớn hơn 2 lần thời gian lan truyền tín hiệu

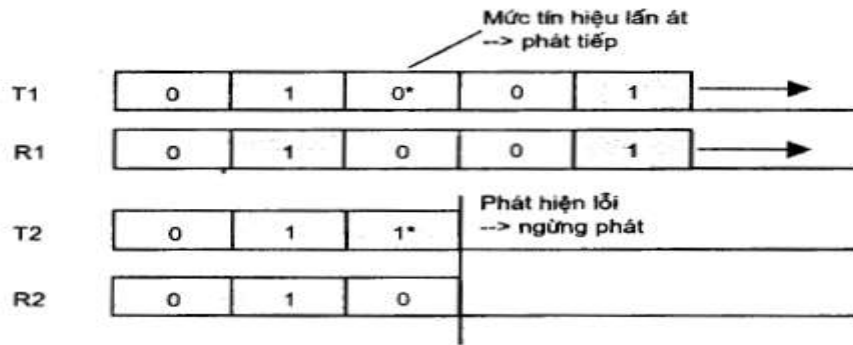
(Chiều dài bức điện n / Tốc độ truyền v) $> 2 T_s$ hay $n/v > 2l / (0.66 * 300\ 000\ 000)$ với l là chiều dài dây dẫn và hệ số $k = 0.66$ hay $lv < 100\ 000\ 000n$

- Ưu điểm: Đơn giản , linh hoạt

- Nhược: tính bất định thời gian của phản ứng

1.8.5 CSMA/CA (*Carrier Sense Multiple Access with Collision Avoidance*)

Như phương pháp CSMA/CD mỗi trạm đều phải nghe đường dẫn trước khi gửi cũng như sau khi gửi thông tin. Tuy nhiên một phương pháp mã hoá bit thích hợp được sử dụng khi xung đột một tín hiệu sẽ làm mất tín hiệu kia.



H1.23 Phương pháp CSMA/CD

- Điều kiện rang buộc : $1/v > 2 Ts$ hay $1/v > 2l / (0.66 \cdot 300\,000\,000)$
 hay $lv < 100\,000\,000$

Sử dụng mức ưu tiên:

Mỗi bức điện đều được bắt đầu bằng một dãy bit đặc biệt gọi là cờ hiệu, sau đó là tới các phần khác như thông tin kiểm soát, địa chỉ... pp này có thể sử dụng mức ưu tiên cho mỗi trạm (hoặc theo loại thông tin) và gắn mã ưu tiên (001, 010, ...) vào phần đằng sau cờ hiệu của mỗi bức điện. Bức điện nào có mức ưu tiên cao sẽ lấn át bức điện khác .

1.9. BẢO TOÀN DỮ LIỆU

Trong truyền thông công nghiệp mặc dù đã sử dụng kỹ thuật truyền tín hiệu số nhưng do nhiễu và tác động của môi trường truyền dẫn nên thông tin truyền tải bị sai lệch. Các lỗi thường gặp: phát hiện được nhưng không sửa được, phát hiện được sửa được, không phát hiện được... Khắc phục bằng các biện pháp sử dụng các phần cứng cao cấp và bọc lót đường truyền nhưng giá thành cao. Bảo toàn dữ liệu là phương pháp sử dụng xử lý giao thức để phát hiện và khắc phục lỗi. Các phương pháp bảo toàn dữ liệu thông dụng:

- Prity bit:

Tuỳ theo tổng số bit 1 trong thông tin nguồn là chẵn hay lẻ mà thêm vào một bit thông tin phụ trợ $p=0$ hoặc $p=1$ gọi là paritybit hay bit chẵn lẻ. Có thể gọi bit một chiều

VD dùng parity chẵn

- Dãy bit nguyên bản : 1001101
- Dãy bit gửi đi : 10011010

- Parity bit 2 chiều:

Còn gọi là phương pháp bảo toàn khối. Dãy bit mang thông tin nguồn được chia thành từng khối coi như có 2 chiều. Trong thực tế chọn 7 hàng và 7 cột tính parity thực hiện cả 2 chiều

VD Bức điện sử dụng parity bit 2 chiều không lỗi với cấu trúc $(7+1) * (7+1)$. Số bit 1 hoặc 0 ở cột p (hàng) cũng giống như ở hàng (cột) nên bit cuối cùng giữa hàng và cột có thể tính parity theo hàng hoặc cột

	1.	2.	3.	4.	5.	6.	7.	p
1.	0	1	0	0	1	0	1	1
2.	1	0	0	1	0	0	0	0
3.	1	1	1	0	1	1	1	0
4.	0	1	0	1	0	1	0	1
5.	1	1	1	1	0	1	1	0
6.	0	0	0	1	1	1	1	0
7.	1	1	0	0	1	1	0	0
p	0	1	0	0	0	1	0	0

Trong trường hợp chỉ 1 bit bị đảo ví dụ ở hàng thứ 3 và cột thứ 4 trong bảng sau lỗi được phát hiện và định vị sửa được

	1.	2.	3.	4.	5.	6.	7.	p
1.	0	1	0	0	1	0	1	1
2.	1	0	0	1	0	0	0	0
3.	1	1	1	1	1	1	1	0
4.	0	1	0	1	0	1	0	1
5.	1	1	1	1	0	1	1	0
6.	0	0	0	1	1	1	1	0
7.	1	1	0	0	1	1	0	0
p	0	1	0	0	0	1	0	0

- CRC(Cyclic Redundancy Check) Phương pháp mã vòng:

Nguyên tắc: - Giả sử đa thức G có bậc n, dãy bit thông tin nguồn I được thêm vào n bit 0 và coi như một đa thức nhị phân P

- Đa thức P chia cho G

- Phần dư thay thế vào chỗ n chữ 0 bổ xung trong P, tức là $D = P + R$ Nếu $D - R$ chia hết cho G thì $D = P + R$ cũng thế D chính là dãy bit được gửi đi thay cho I

- Dãy bit nhận được là D' khác D (không chia hết cho G) thì xác suất rất cao bức điện nhận được không lỗi

VD

- Thông tin cần truyền I = 110101
- Đa thức qui ước G = 1011 (tức $x^3 + x + 1$)
- Thêm 3 bit 0 vào thông tin nguồn I, ta có P = 110101000
- Chia đa thức P : G theo kiểu nhị phân

$$\begin{array}{r}
 110101000 \quad | \quad 1011 \\
 - 1011 \\
 \hline
 01100 \\
 - 1011 \\
 \hline
 01111 \\
 - 1011 \\
 \hline
 01000 \\
 - 1011 \\
 \hline
 001100 \\
 - 1011 \\
 \hline
 0111 \quad \leftarrow \text{Phần dư R}
 \end{array}$$

- Dãy bit được chuyển đi: $D = P + R = 110101111$
- Giả sử dữ liệu nhận được là $D' = 110101111$
- Chia đa thức $D' : G$

$$\begin{array}{r}
 110101111 : 1011 = 111101 \\
 \text{Phần dư } 0000 \rightarrow \text{Xác suất rất cao là không có lỗi}
 \end{array}$$

- Bit Stuffing(nhồi bit) :

Nhồi thêm một số bit vào dãy bit nguyên bản để tránh xuất hiện một chuỗi dài bit 1 liên tục cũng như tránh trùng lặp với một số mẫu bit đặc biệt. Tạo điều kiện cho bên nhận dễ nhận lỗi

Nguyên tắc: - Bên gửi: Trong dữ liệu có n bit 1 liên nhau thì thêm bit 0 vào sau nên mỗi dãy bit chuyển đi không thể xuất hiện n+1 bit 1 đi liên nhau

- Bên nhận: Nếu thấy n bits 1 liên nhau mà bit tiếp theo là 0 thì tách ra , còn nếu là bit 1 thì chắc chắn là lỗi

VD

- Thông tin nguồn $I = 0111111$
- Thông tin gửi đi $D = 011111\underline{0}1$
- Nếu thông tin nhận được $D' = 011111\underline{0}1$, bên nhận có thể coi xác suất cao không có lỗi, thông tin nguồn I sẽ được khôi phục bằng cách bỏ đi bit 0 đứng sau năm bit 1 (gạch chân).
- Nếu thông tin nhận được $D' = 111111\underline{0}1$, qua mẫu bit đặc biệt bên nhận sẽ phát hiện ra lỗi.

1.10. MÃ HOÁ BIT

Là quá trình chuyển đổi dãy bit (0, 1) sang một tín hiệu thích hợp để có thể truyền dẫn trong môi trường vật lý. Việc chuyển đổi này là sử dụng một tham số thông tin thích hợp để mã hoá dãy bit cần chuyển tải. Các tham số thông tin có thể được chứa đựng trong biên độ, tần số, pha hoặc sườn xung.

1.10.1 Các tiêu chuẩn mã hoá bit:

- **Tần số của tín hiệu:** ảnh hưởng tới tính năng của hệ thống, f cao thì suy giảm tín hiệu lớn và gây nhiễu điện từ xung quanh. Tần số tín hiệu tỷ lệ tương đối với tần số nhịp có thể lớn hoặc nhỏ hơn tần số nhịp tùy theo cách mã hoá.

- **Thông tin đồng bộ hoá có trong tín hiệu:** Trong th chế độ truyền dẫn được chọn là đồng bộ nếu pp ma hoá bit tạo ra tín hiệu có mang kèm theo thông tin đồng bộ hoá nhịp sẽ tiết kiệm dây dẫn tín hiệu nhịp. Tuy nhiên hệ thống thường không yêu cầu tín hiệu đồng bộ có ở mỗi nhịp mà có thể ở cách quãng vài nhịp

- **Triệt tiêu dòng một chiều:** Dòng một chiều không những cản trở khả năng đồng tải nguồn mà còn gây rất nhiều khó khăn trong kỹ thuật truyền dẫn tín hiệu. Nếu vượt quá giới hạn nhất định dòng một chiều dễ gây phát xung nguy hiểm trong các môi trường dễ cháy nổ.

- **Khả năng phối hợp nhận lỗi:** Nếu pp mã hoá bit tạo ra những tín hiệu có đặc thù riêng theo một mẫu biệt lập thì bên nhận có thêm khả năng để nhận biết lỗi nếu tín hiệu bị sai lệch mà không cần bổ xung thông tin kiểm lỗi.

1.10.2 NRZ, RZ (Phương pháp điều chế biên độ xung)

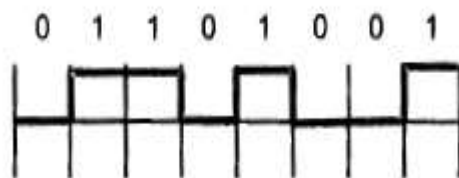
- **NRZ**(Non- Return To Zero) và **RZ** (*Return to Zero*) đều mã hoá bit (0, 1) với 2 mức biên độ tín hiệu khác nhau

Các khả năng thể hiện 2 mức có thể là: - Đất và điện áp dương

- Điện áp âm và đất

- Điện áp âm và dương cùng giá trị tín hiệu

hiệu (*tín hiệu lưỡng cực*)



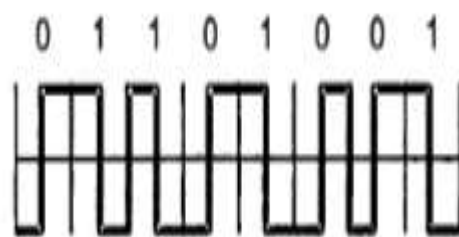
NRZ: 1 ứng với mức tín hiệu cao, 0 với mức thấp trong suốt chu kỳ bit



RZ: 1 ứng với mức tín hiệu cao trong nửa chu kỳ bit T, 0 với mức thấp trong suốt chu kỳ bit

H1.24 NRZ và RZ

- **Mã Manchester:** Phương pháp điều chế pha xung, tham số thông tin thể hiện qua sườn xung, bit 1 mã hoá sườn lên 0 sườn xuống của xung ở chu kỳ bit T hoặc ngược lại



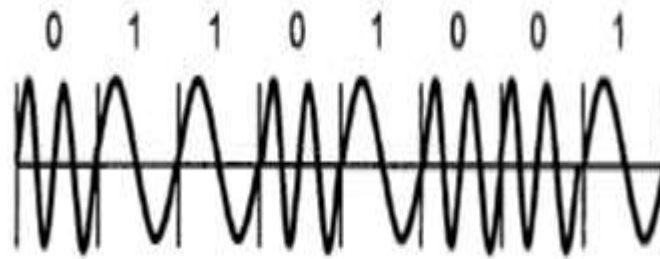
Manchester-II: 1 ứng với sườn xuống, 0 ứng với sườn lên của xung ở giữa chu kỳ bit



AFP: Thay đổi giữa 0 và 1 được đánh dấu bằng một xung xoay chiều

H 1.25 Manchester II và AFP

- **AFP** (*Alternate Flanks Pulse*) phương pháp xung sườn xoay chiều : mỗi sự thay đổi trạng thái logic được đánh dấu bằng một xung có sự thay đổi luân phiên
- **FSK** (*Frequency Shift Keying*): Phương pháp điều chế dịch tần số: 2 tần số khác nhau được dùng để mã hoá các trạng thái logic 0 , 1



FSK: 0 và 1 ứng với các tần số khác nhau

H 1.26 Mã hoá dịch tần số FSK

1.11. CHUẨN TRUYỀN DẪN

Truyền dữ liệu nối tiếp không đồng bộ là phương pháp được sử dụng chủ yếu trong các hệ thống mạng truyền thông công nghiệp.

- **Các chuẩn truyền dẫn TIA/EIA**(*Telecommunication Industry Association/ Electronic Industry Association*):

Chia làm 3 phạm trù sau:

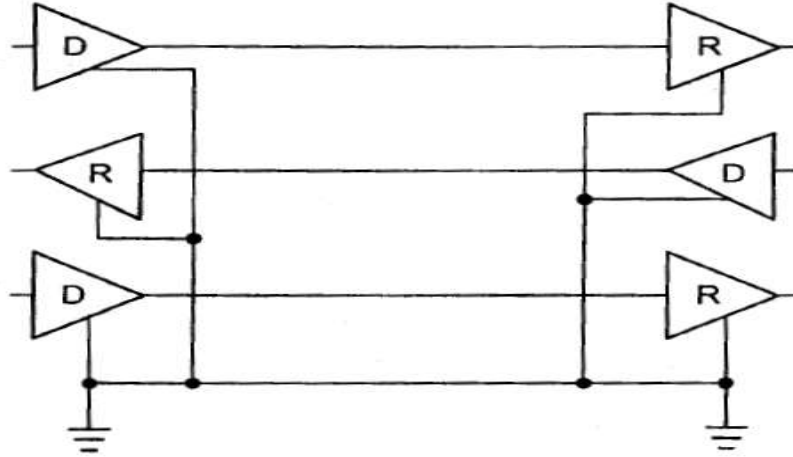
- Chuẩn giao diện trọn vẹn (*Complete Interface Standards*) TIA/ EIA-232-F, TIA/ EIA-530-A , TIA/EIA- 561 đưa ra toàn bộ các qui định về mặt chức năng cơ học và điện học.

- Chuẩn riêng về điện học: (*Electrical Only Standards*) TIA/EIA-232F, TIA/EIA-422-B, TIA/EIA485-A chỉ định nghĩa thông số mặt điện học

- Chuẩn về chất lượng tín hiệu : (*Signal Quality Standards*) EIA-334-A, EIA-363, EIA-404-A định nghĩa các thuật ngữ và các phương pháp cho việc đánh giá chất lượng tín hiệu

1.11.1 Phương thức truyền dẫn tín hiệu :

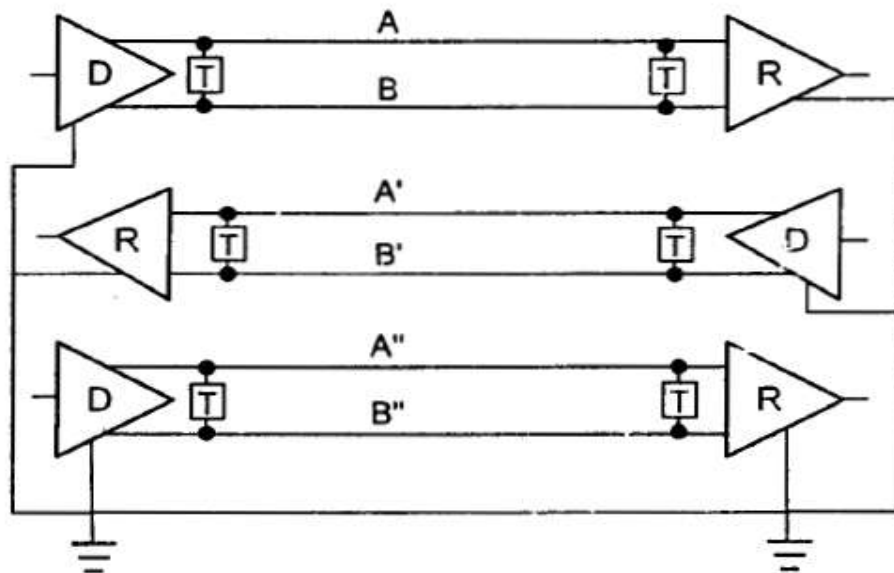
- **Truyền dẫn không đối xứng** : Sử dụng điện áp của một dây dẫn so với đất để thể hiện các trạng thái logic (0, 1) của một số tín hiệu



H 1.27 Truyền dẫn không đối xứng

D: (driver) bộ phát hay bộ kích thích, R(receiver) bộ thu

- **Truyền dẫn chênh lệch đối xứng** : Sử dụng điện áp của 2 dây dẫn A(-) và B(+) để biểu diễn trạng thái logic (0,1) của tín hiệu không phụ thuộc vào đất.



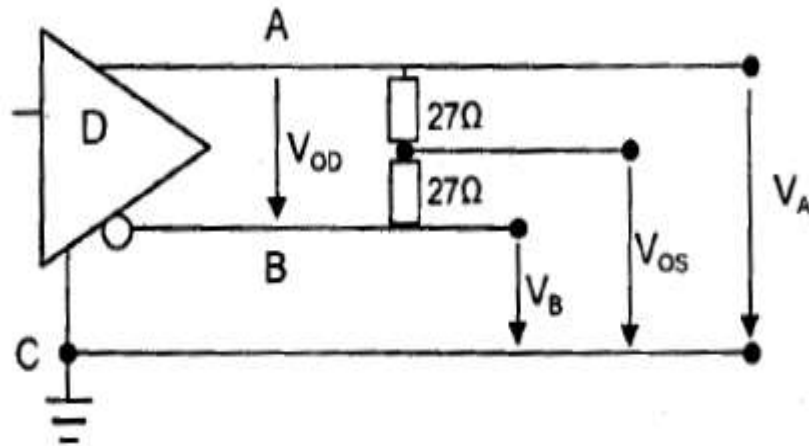
H 1.28 Truyền dẫn trên lệch đối xứng(3 kênh 7 dây dẫn)

- **Trở đầu cuối** : (*Terminating Resistance*)

- V_{od} : điện áp chênh lệch đầu ra bbo kích thích qua trở đầu cuối(giữa dây A và B) V_t, V_{od} không phụ thuộc đất, chuẩn thì $V_{od}=1.5V$ bộ thu chỉ cần mức 200mA

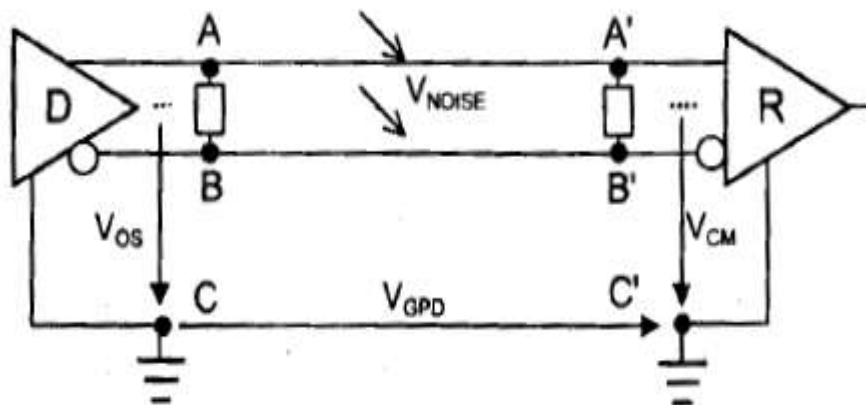
- V_{os} : điện áp lệch

- V_{cm} : điện áp chế độ chung $V_{CM}= V_{os} + V_{NOISE} + V_{GPD}$



H1.29 Điện áp chênh lệch đầu ra V_{OD} và điện áp lệch V_{OS}

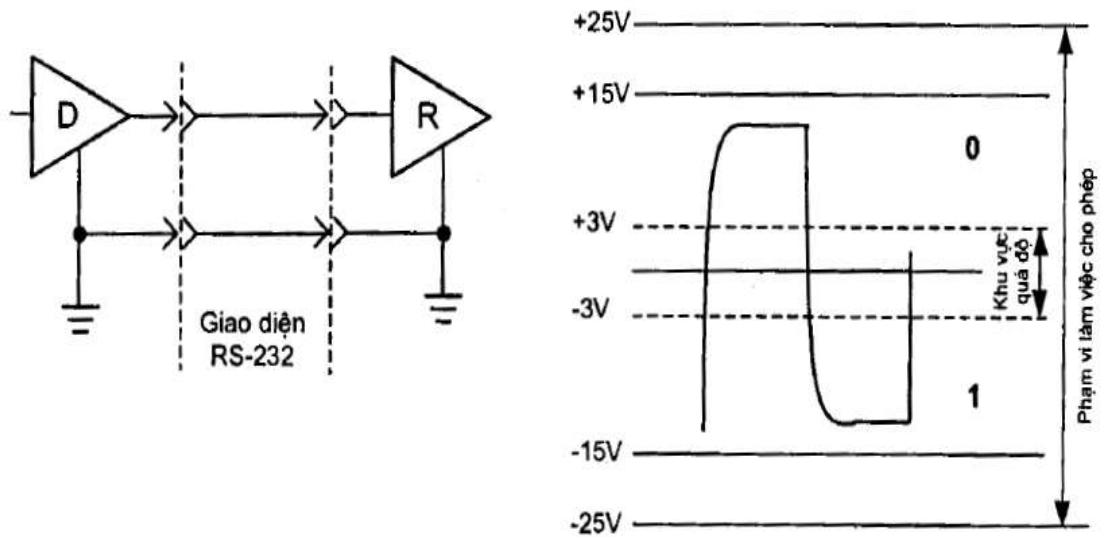
- V_{GPD} Chênh lệch điện áp đất



H 1.30 Điện áp chế độ chung V_{CM} và chênh lệch điện áp đất V_{GPD}

1.11.2 RS-232

Giao tiếp điểm- điểm giữa hai DTE, sử dụng truyền không đối xứng, điện áp sử dụng dao động(-15V, 15V)



H 1.31 Qui định trạng thái logic của tín hiệu RS-232

Bảng thông số quan trọng của RS-232

Thông số	Điều kiện	Tối thiểu	Tối đa
Điện áp đầu ra hở mạch			25V
Điện áp đầu ra khi có tải	$3k\Omega \leq R_L \leq 7k\Omega$	5V	15V
Trở kháng đầu ra khi cắt nguồn	$-2V \leq V_o \leq 2V$		300 Ω
Dòng ra ngắn mạch			500mA
Điện dung tải			2500pF
Trở kháng đầu vào	$3V \leq V_i \leq 25V$	3k Ω	7k Ω
Ngưỡng cho giá trị logic 0			3V
Ngưỡng cho giá trị logic 1		-3V	

1.11.3 RS-422 :

Sử dụng tín hiệu chênh lệch điện áp đối xứng giữa 2 dây dẫn A và B, có khả năng ghép nối điểm-điểm, điểm- nhiều điểm

Bảng thông số quan trọng:

Thông số	Điều kiện	Tối thiểu	Tối đa
Điện áp đầu ra hở mạch			$\pm 10V$
Điện áp đầu ra khi có tải	$R_T = 100\Omega$	$\pm 2V$	
Trở kháng đầu ra			100Ω
Dòng ra ngắn mạch			$\pm 150mA$
Thời gian quá độ đầu ra	$R_T = 100\Omega$		$10\% T_B^*$
Điện áp chế độ chung đầu ra V_{OC}	$R_T = 100\Omega$		$\pm 3V$
Độ nhạy cảm đầu vào	$-7V \leq V_{CM} \leq 7V$		$\pm 200mV$
Điện áp chế độ chung V_{CM}		$-7V$	$7V$
Trở kháng đầu vào		$4k\Omega$	

* T_B - Thời gian bit

1.11.4 RS-485 : Bảng thông số quan trọng

Thông số	Điều kiện	Tối thiểu	Tối đa
Điện áp đầu ra hở mạch		$\pm 1,5V$	$\pm 6V$
Điện áp đầu ra khi có tải	$R_{LOAD} = 54\Omega$	$\pm 1,5V$	$\pm 5V$
Dòng ra ngắn mạch			$\pm 250mA$
Thời gian quá độ đầu ra	$R_{LOAD} = 54\Omega$ $C_{LOAD} = 54pF$		$30\% T_B^*$
Điện áp chế độ chung đầu ra V_{OC}	$R_{LOAD} = 54\Omega$	$-1V$	$3V$
Độ nhạy cảm đầu vào	$-7V \leq V_{CM} \leq 12V$		$\pm 200mV$
Điện áp chế độ chung V_{CM}		$-7V$	$12V$
Trở kháng đầu vào		$12k\Omega$	

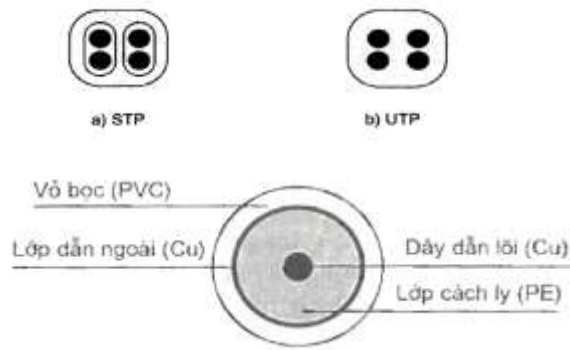
Ngoài ra còn có chuẩn IEC 1158-2...

1.12 Môi trường truyền dẫn : Ảnh hưởng tới chất lượng tín hiệu độ bền vững với nhiễu và tính tương thích điện từ của hệ thống truyền thông. Trong kỹ thuật truyền thông người ta sử dụng phương tiện truyền dẫn sau:

- Cáp điện: đồng trục và đôi dây xoắn



H 1.32 Đôi dây xoắn và tác dụng trung hoà trường điện từ.



Cáp đôi xoắn STP và UTP(*Shielded Twisted Pair- Unshielded Twisted Pair*), đồng trục

- Cáp quang: Cáp sợi thủy tinh, cáp sợi chất dẻo



$$\sin \varphi = \sqrt{n_1^2 - n_2^2}$$

H1.33 Nguyên tắc làm việc của cáp quang

- Vô tuyến : Vi sóng(*microwave*), tia hồng ngoại, siêu âm.

1.13. THIẾT BỊ LIÊN KẾT MẠNG

Để cho dòng dữ liệu giữa hai phần mạng có thể truyền qua lại với nhau Thông thường thì mỗi phần mạng được thiết lập các giao thức truyền thông riêng, các giao thức này có thể giống hoặc khác nhau so với mạng còn lại. Để liên kết hai mạng lại mà không phải thiết lập lại giao thức tùy theo đặc điểm giống và khác nhau giữa hai phần cần liên kết có thể thực hiện bằng cách chọn các loại thiết bị liên kết cho phù hợp trong số các loại liên kết như bộ lặp(*Repeater*), cầu nối (*Bridge*) Router và gateway.

C CÁC HỆ THỐNG BUS TIÊU BIỂU:

1.14. PROFIBUS :

Định nghĩa các đặc tính của hệ thống bus dùng kết nối các thiết bị trường với thiết bị điều khiển và giám sát. Là hệ thống nhiều chủ(multi

master) cho phép các thiết bị điều khiển tự động các trạm kỹ thuật và hiển thị quá trình cũng như các phụ kiện phân tán cùng làm việc trên cùng mạng bus.

- Kiến trúc giao thức

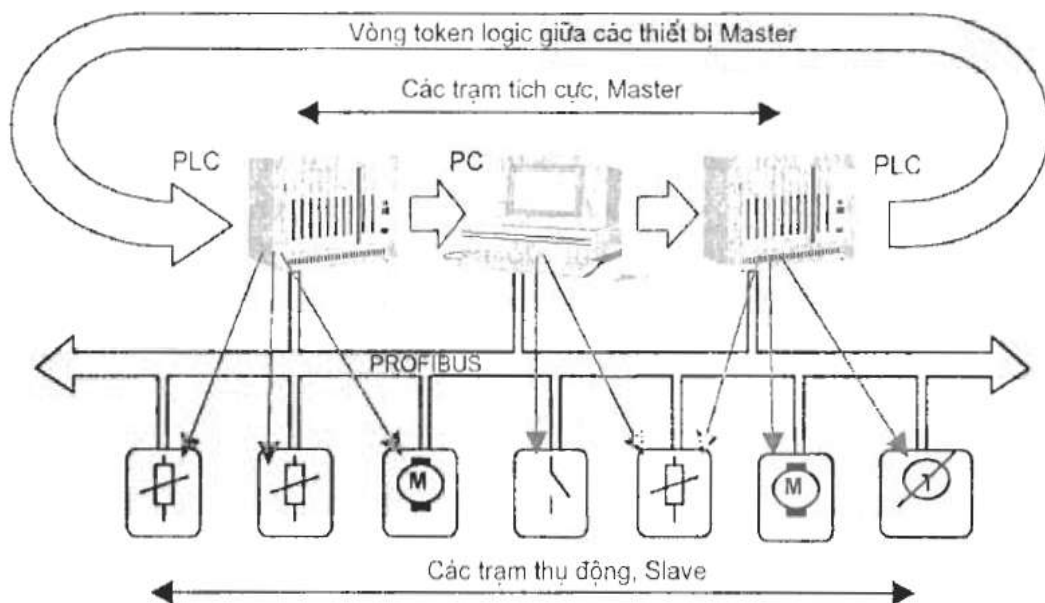
	PROFIBUS-FMS	PROFIBUS-DP	PROFIBUS-PA
Giao diện sử dụng	FMS-Profiles	DP-Profiles	PA-Profiles
		Các chức năng DP mở rộng	
		Các chức năng DP cơ sở	
Lớp 7	Fieldbus Message Specification (FMS)		
Lớp 3-6	K h ô n g t h ể h i ệ n		
Lớp 2	Fieldbus Data Link (FDL)		
Lớp 1	RS-485/RS-485IS/Cáp quang		MBP (IEC 1158-2)

H1.34 Kiến trúc giao thức PROFIBUS chuẩn EN 50170

- Cấu trúc mạng và kỹ thuật truyền dẫn :

Truyền dẫn với RS-485, cáp quang, IEC 1158-2

- Truy nhập bus:

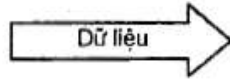


H 1.35 Cấu hình Multi-Master trong PROFIBUS

- Dịch vụ truyền dữ liệu:

Dịch vụ không tuần hoàn (Truyền thông báo)

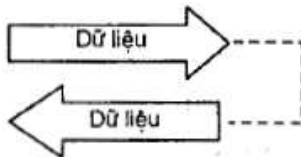
Gửi dữ liệu không xác nhận (SDN) (broadcast)



Gửi dữ liệu với xác nhận (SDA)

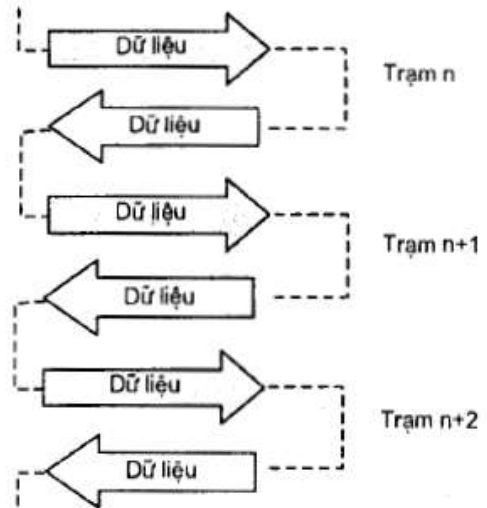


Gửi và yêu cầu dữ liệu (SRD)



Dịch vụ tuần hoàn

Gửi và yêu cầu dữ liệu tuần hoàn (CSRĐ)



H1.36 Các dịch vụ truyền dữ liệu PROFIBUS

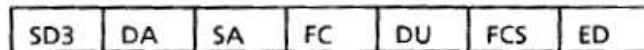
- Cấu trúc bức điện :

Một bức điện (telegram) Trong giao thức thuộc lớp 2 của PROFIBUS được gọi là khung(frame) Ba loại khung có khoảng cách Hamming 4 (HD= 4) và một loại khung đặc biệt đánh dấu một token được qui định như sau:

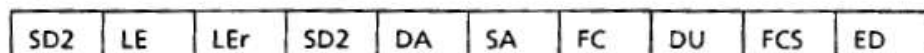
- Khung với chiều dài thông tin cố định, không mang dữ liệu:



- Khung với chiều dài thông tin cố định, mang 8 byte dữ liệu:



- Khung với chiều dài thông tin khác nhau, với 1-246 byte dữ liệu:



- Token:

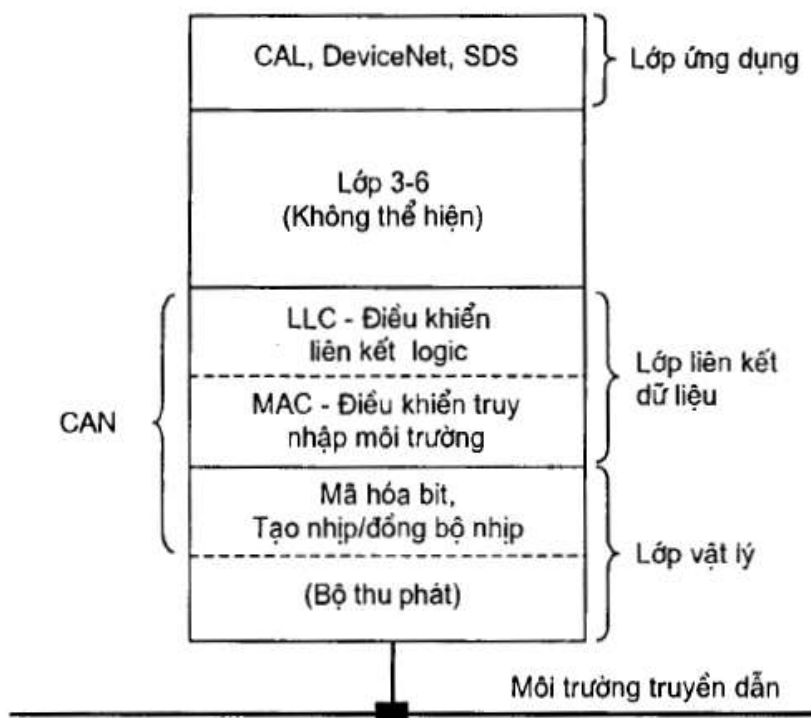


Các ô DA, SA, FC và DU (nếu có) được coi là phần mang thông tin. Trừ ô DU, mỗi ô còn lại trong một bức điện đều có chiều dài 8 bit (tức một ký tự) với các ý nghĩa cụ thể như sau:

Ký hiệu	Tên đầy đủ	Ý nghĩa
SD1... SD4	Start Delimiter	Byte khởi đầu, phân biệt giữa các loại khung SD1 = 10H, SD2=68H, SD3 = A2H, SD4=DCH
LE	Length	Chiều dài thông tin (4-249 byte)
LEr	Length repeated	Chiều dài thông tin nhắc lại vì lý do an toàn
DA	Destination Address	Địa chỉ đích (trạm nhận), từ 0-127
SA	Source Address	Địa chỉ nguồn (trạm gửi), từ 0-126
DU	Data Unit	Khối dữ liệu sử dụng
FC	Frame Control	Byte điều khiển khung
FCS	Frame Check Sequence	Byte kiểm soát lỗi, HD = 4
ED	End Delimiter	Byte kết thúc, ED = 16H

1.15. CAN (*Controller Area Network*)

- Kiến trúc giao thức



H 1.37 Phạm vi định nghĩa của CAN trong mô hình OSI

- **Cấu trúc mạng và kỹ thuật truyền dẫn:** CAN thực chất chỉ là chuẩn giao thức từ phần trên của lớp vật lý cho tới hết lớp liên kết dữ liệu vì vậy không qui định cụ thể về chuẩn truyền dẫn cũng như môi trường truyền thông. CAN phân biệt hai trạng thái logic của tín hiệu là mức trội(*dominant*) và mức lặn(*recessive*), tuy nhiên không qui định rõ ràng giá trị bit nào ứng với mức tín hiệu nào. Khi cả bit trội và lặn phát đồng thời thì bit trội sẽ lấn át và tín hiệu trên bus có mức trội.

- **Cơ chế giao tiếp :** Đặc trưng của CAN là phương pháp định nghĩa chỉ và giao tiếp hướng đối tượng, trong khi hầu hết các hệ thống bus trường khác đều giao tiếp dựa vào địa chỉ các trạm. Mỗi thông tin trao đổi trong mạng được coi như một đối tượng được gán một mã căn cước. Thông tin được gửi trên bus theo kiểu truyền thông báo với độ dài có thể khác nhau.

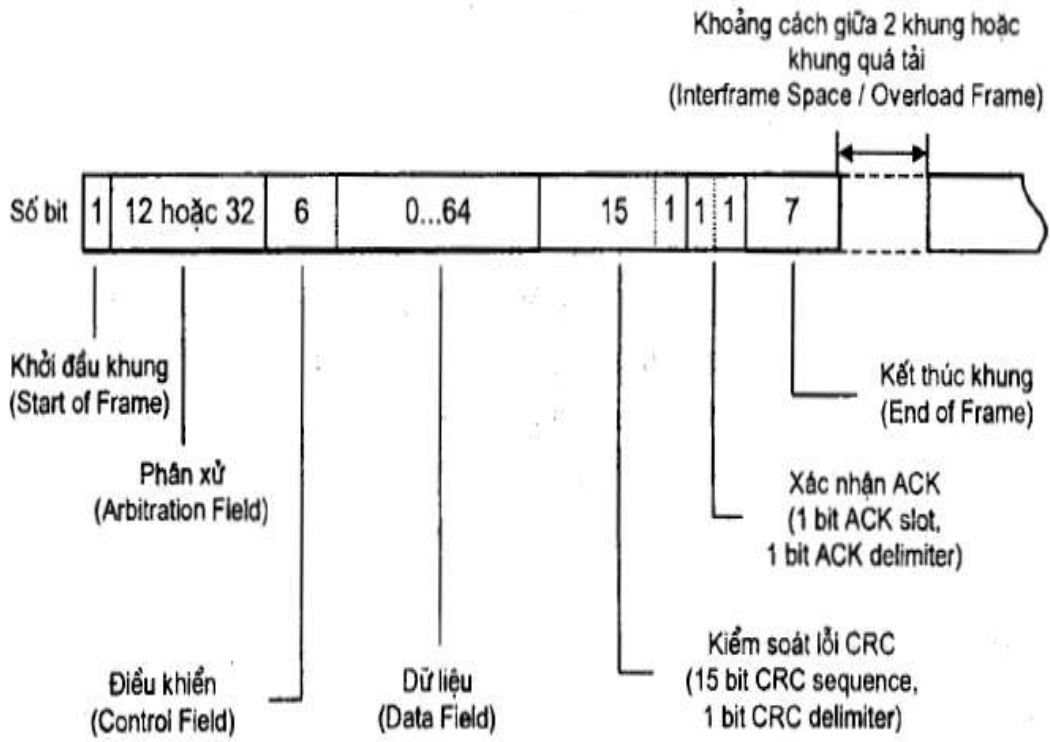
- **Cấu trúc bức điện :** Can định nghĩa 4 kiểu bức điện sau:

- Khung dữ liệu(*data frame*) mang dữ liệu từ một trạm truyền tới các trạm nhận.

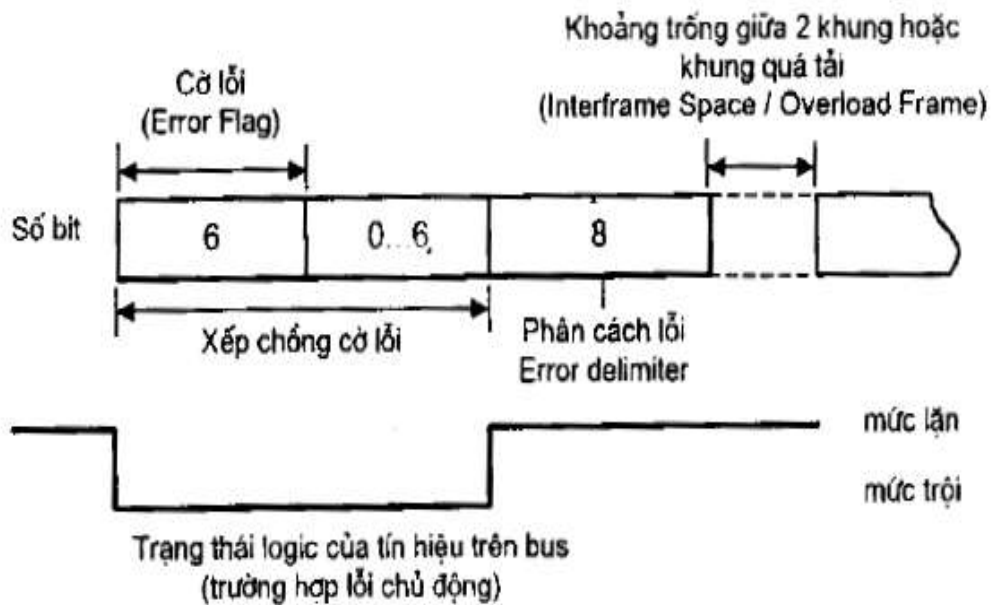
- Khung yêu cầu dữ liệu(*remote frame*) được gửi từ một trạm yêu cầu truyền khung dữ liệu với cùng mã căn cước.

- Khung lỗi (*error frame*) được gửi từ bất kỳ trạm nào phát hiện lỗi

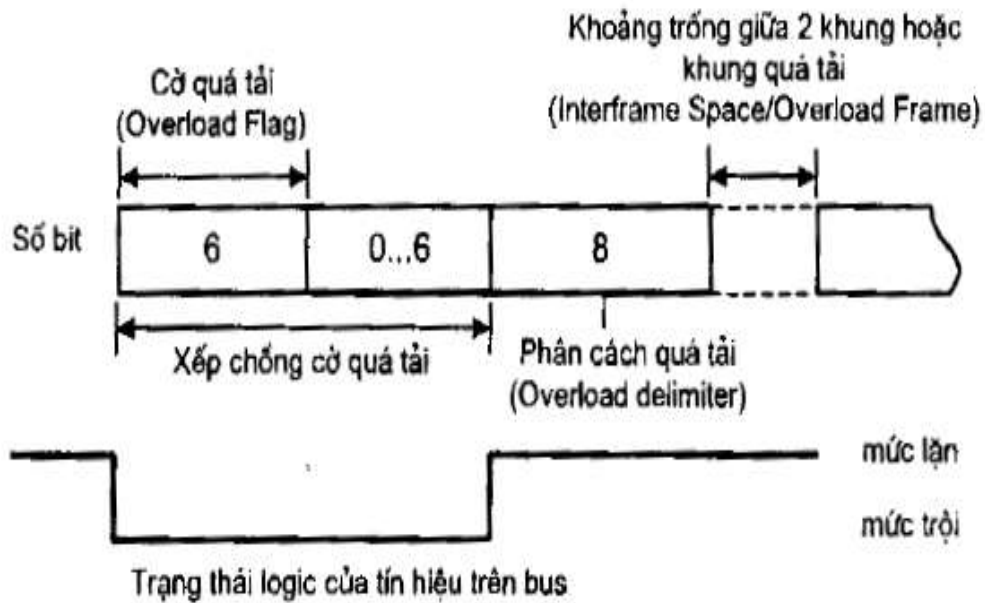
- Khung quá tải(*overload frame*) được sử dụng nhằm tạo một khoảng cách thời gian bổ xung giữa khung dữ liệu hoặc yêu cầu dữ liệu trong trường hợp một trạm bị quá tải.



H 1.38 Cấu trúc khung dữ liệu ở CAN



H 1.39 Cấu trúc khung lỗi



H 1.40 Cấu trúc khung quá tải

- **Truy nhập bus** : CAN sử dụng phương pháp truy nhập môi trường CSMA/CA điều khiển phân kênh theo từng bit. Phương pháp phân mức ưu tiên truy cập bus dựa theo tính cấp thiết của nội dung thông báo. Mức ưu tiên này phải được đặt cố định trước khi hệ thống đi vào vận hành. Thực tế mã căn cước không những mang ý nghĩa của dữ liệu trong thông báo mà còn đồng thời được sử dụng là mức ưu tiên.

- **Bảo toàn dữ liệu** : CAN kết hợp nhiều biện pháp tự kiểm tra phát hiện và báo lỗi. Các biện pháp kiểm soát lỗi:

- Theo dõi mức tín hiệu của mỗi bit truyền đi và so sánh với tín hiệu nhận được trên bus

- Kiểm soát qua mã CRC

- Thực hiện nhồi bit (nhồi 1 bit nghịch đảo sau 5 bit giống nhau)

- Kiểm soát khung thông báo

Với các biện pháp trên hiệu quả được là

- Phát hiện được các lỗi toàn cục

- Phát hiện được các lỗi cục bộ tại bộ phát

- Phát hiện được 5 bit lỗi phân bố ngẫu nhiên trong một bức điện

- Phát hiện được các lỗi đột ngột có chiều dài nhỏ hơn 15bit trong một thông báo

- Phát hiện được các lỗi có số bit lỗi là chẵn

- Tỷ lệ lỗi còn lại (xác suất một thông báo còn bị lỗi không phát hiện) nhỏ hơn $4.7 \cdot 10^{-11}$.

- **Mã hoá bit** : Trước khi được chuyển đổi thành tín hiệu trên đường truyền CAN sử dụng phương pháp nhồi bit. Dãy bit đầu vào cần nhồi bao gồm bit khởi đầu khung, ô phân sử, ô điều kiện, dữ liệu vào và dãy CRC. Khi 5 bit liên tục giống nhau bộ phát sẽ tự động bổ xung một bit nghịch đảo vào cuối. Bên nhận sẽ phát hiện ra bit được nhồi và tái tạo thông tin ban đầu. Việc nhồi bit không thực hiện với các phần còn lại của khung dữ liệu và khung yêu cầu dữ liệu , khung lỗi khung quá tải. Cuối cùng dãy bit được mã hoá theo phương pháp *Non- Return- Zero*(NRZ) có nghĩa là trong suốt một chu kỳ bit mức tín hiệu có thể trội hoặc lặn.

- Một số hệ thống tiêu biểu dựa trên CAN: CANopen , SDS...

1.16. DIVICENET

- **Cơ chế giao tiếp:**

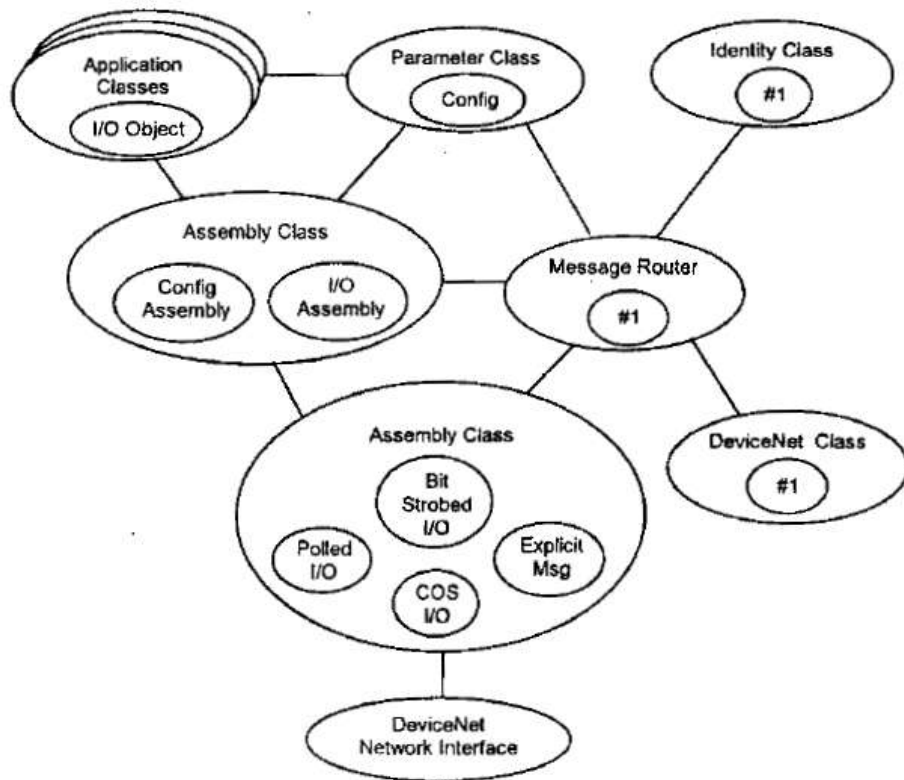
- Điều khiển theo sự kiện: Một thiết bị chỉ gửi dữ liệu mỗi khi dữ liệu có thay đổi.

- Điều khiển theo thời gian: Có thể gửi dữ liệu tuần hoàn theo chu kỳ cho người sử dụng.

- Gửi đồng loạt:

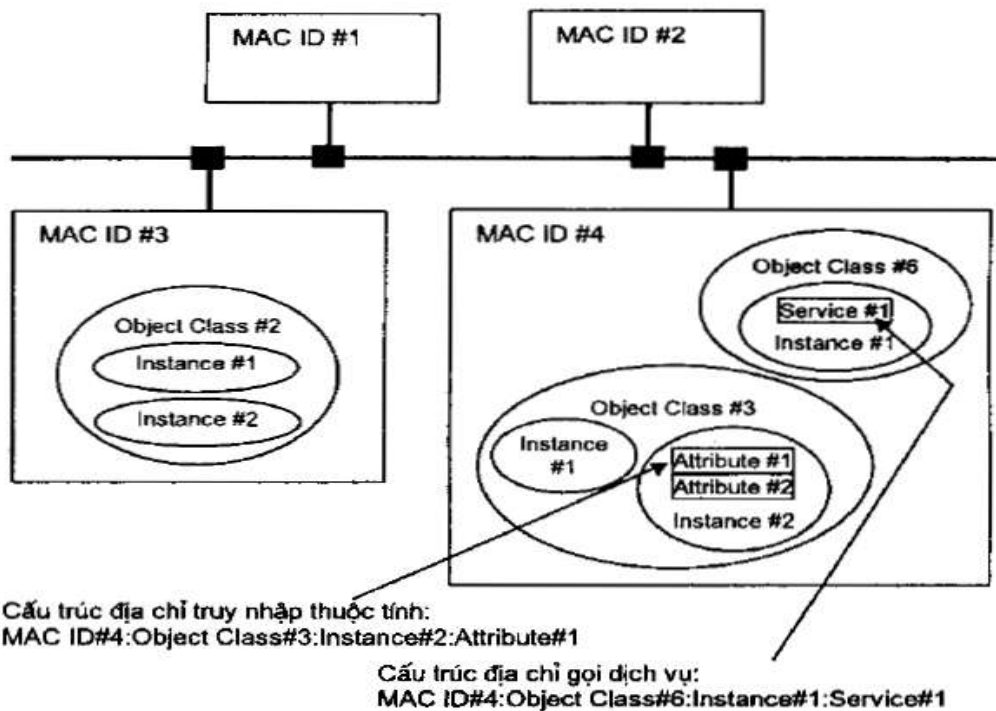
- Hỏi tuần tự cổ điển cho các hệ thống có cấu hình chủ/tớ

- Mô hình đối tượng :



H1.41 Mô hình đối tượng một trạm thiết bị DeviceNet

- Mô hình địa chỉ :



H1.42 Nguyên tắc định địa chỉ thuộc tính và dịch vụ DeviceNet

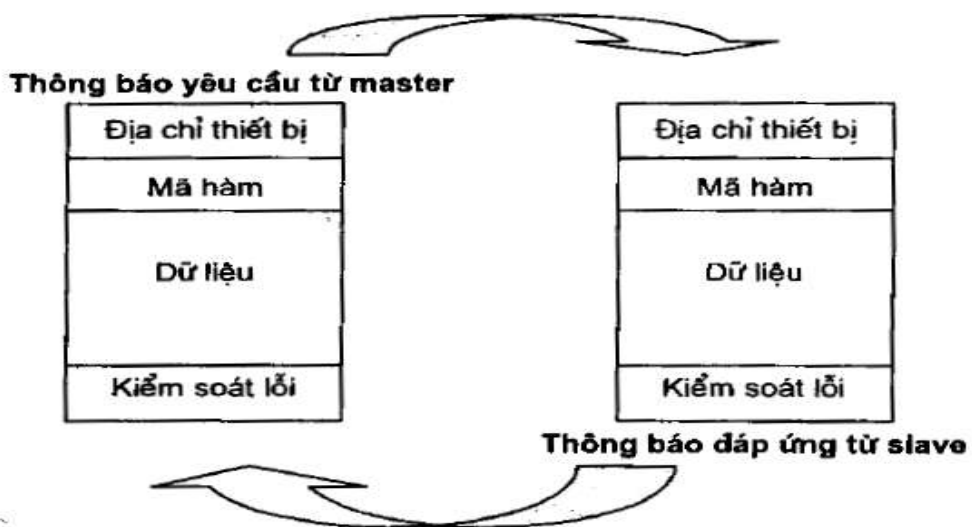
- Cấu trúc bức điện :

Cấu trúc mã căn cước DeviceNet

Các bit của mã căn cước											Khoảng giá trị	Nhóm thông báo
10	9	8	7	6	5	4	3	2	1	0		
0	ID thông báo				MAC ID nguồn						000 - 3FF	Nhóm 1
1	0	MAC ID					ID thông báo				400 - 5FF	Nhóm 2
1	1	ID thông báo			MAC ID nguồn						600 - 7BF	Nhóm 3
1	1	1	1	1	ID thông báo						70C - 7EF	Nhóm 4
1	1	1	1	1	1	1	x	x	x	x	7F0 - 7FF	Không hợp lệ

1.17. MODBUS

- Cơ chế giao tiếp



H1.43 Chu trình yêu cầu đáp ứng giữa trạm chủ và tớ

- Chế độ truyền :

- Chế độ ASCII : Cấu trúc một ký tự khung gửi đi

Start	0	1	2	3	4	5	6	P	Stop
-------	---	---	---	---	---	---	---	---	------

Mỗi ký tự khung bao gồm

- 1 bit khởi đầu (Startbit)
- 7 bit biểu diễn một chữ số hex của byte cần gửi dưới dạng ký tự ASCII (0-9 và A-F), trong đó bit thấp nhất được gửi đi trước
- 1 bit parity chẵn/lẻ, nếu sử dụng parity
- 1 bit kết thúc (Stopbit) nếu sử dụng parity hoặc 2 bit kết thúc nếu không sử dụng parity

- Chế độ RTU

Start	0	1	2	3	4	5	6	7	P	Stop
-------	---	---	---	---	---	---	---	---	---	------

Mỗi ký tự khung bao gồm

- 1 bit khởi đầu (*start bit*)
- 8 bit của byte thông báo cần gửi, trong đó bit thấp nhất được gửi đi trước
- 1 bit parity chẵn/lẻ nếu sử dụng parity và
- 1 bit kết thúc (*stop bit*) nếu sử dụng parity hoặc 2 bit kết thúc nếu không sử dụng parity.

- Cấu trúc bức điện :

- Khung ASCII

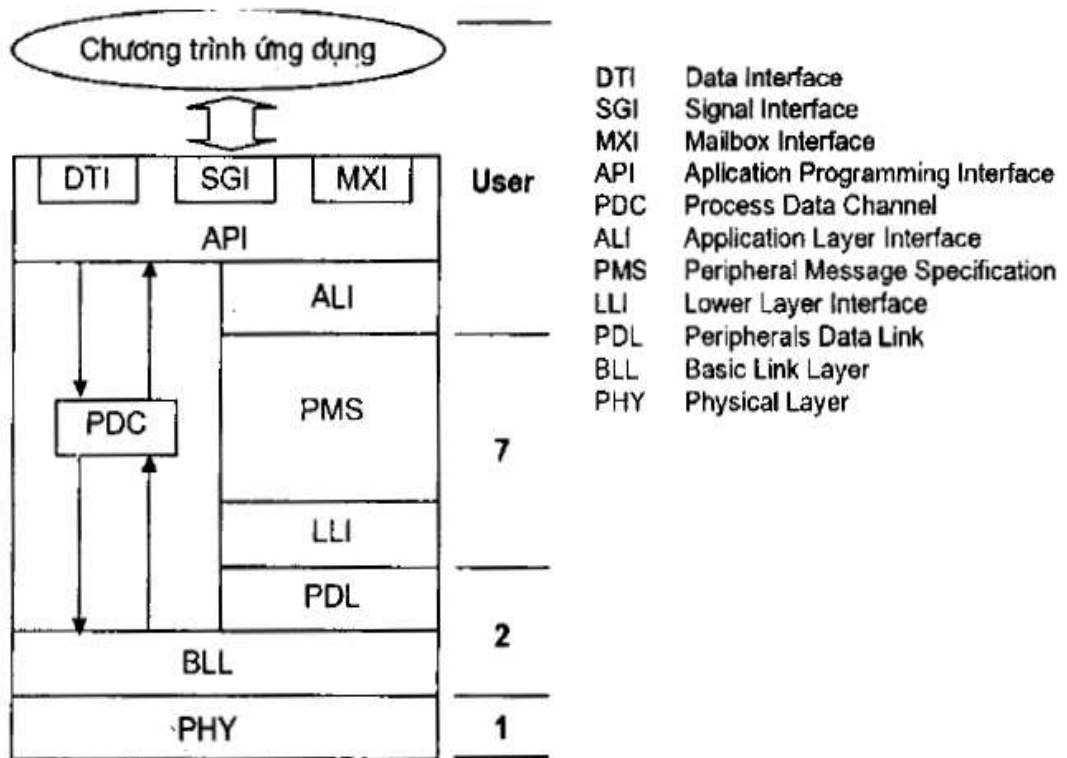
Khởi đầu	Địa chỉ	Mã hàm	Dữ liệu	Mã LCR	Kết thúc
1 Ký tự	2 Ký tự	2 Ký tự	n Ký tự	2 Ký tự	2 Ký tự
:					CR + LF

- Khung RTU

Khởi đầu	Địa chỉ	Mã hàm	Dữ liệu	Mã CRC	Kết thúc
(---)	8 bit	8 bit	n x 8 bit	16 bit	(---)

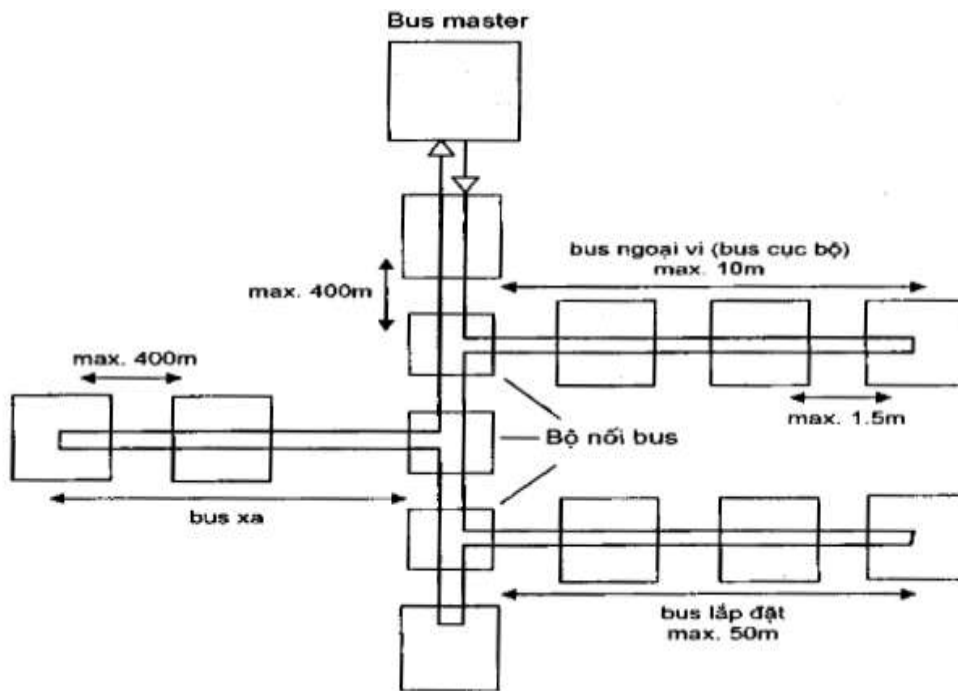
1.18. INTERBUS -S

- Kiến trúc giao thức :



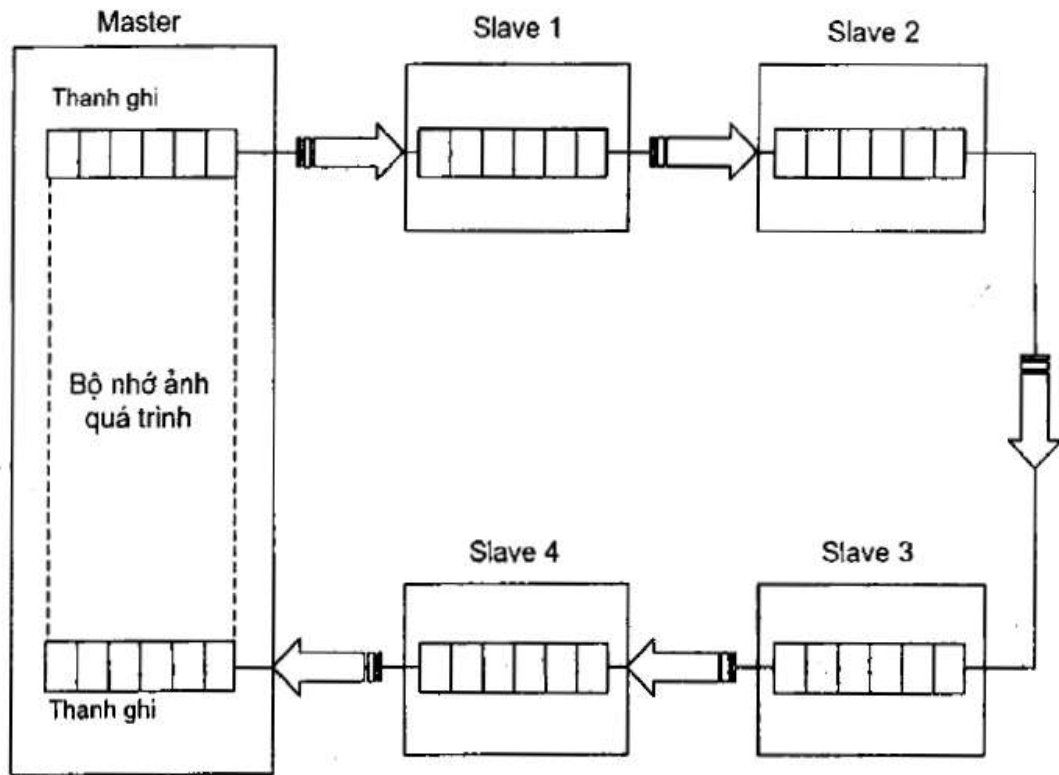
H 1.44 Kiến trúc giao thức

- Cấu trúc mạng :

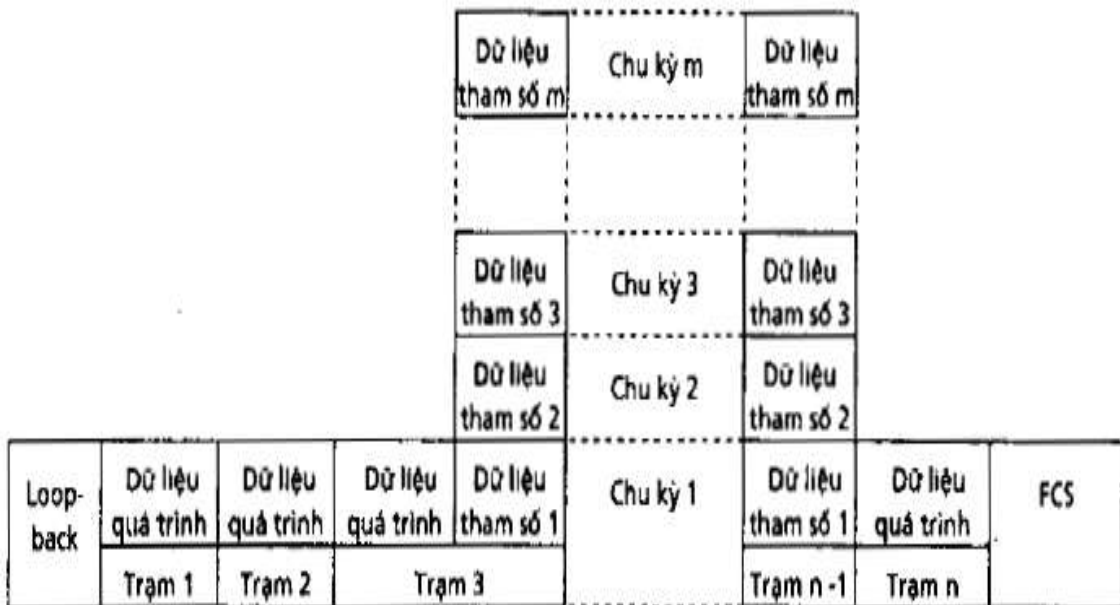


H 1.45 Cấu trúc mạng

- Cơ chế giao tiếp :



H 1.46 Nguyên tắc làm việc của Interbus-S

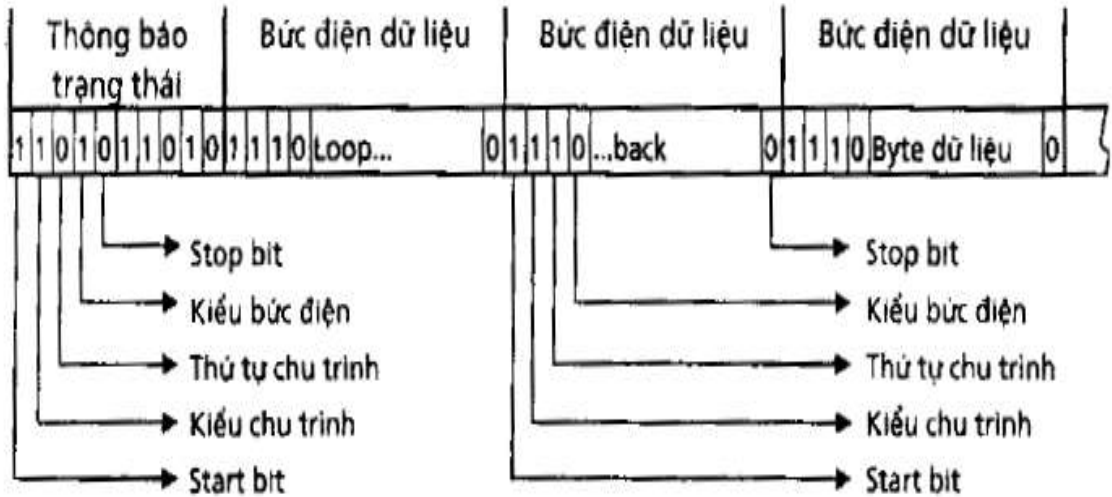


H 1.47 Giao thức truyền

- Cấu trúc bức điện

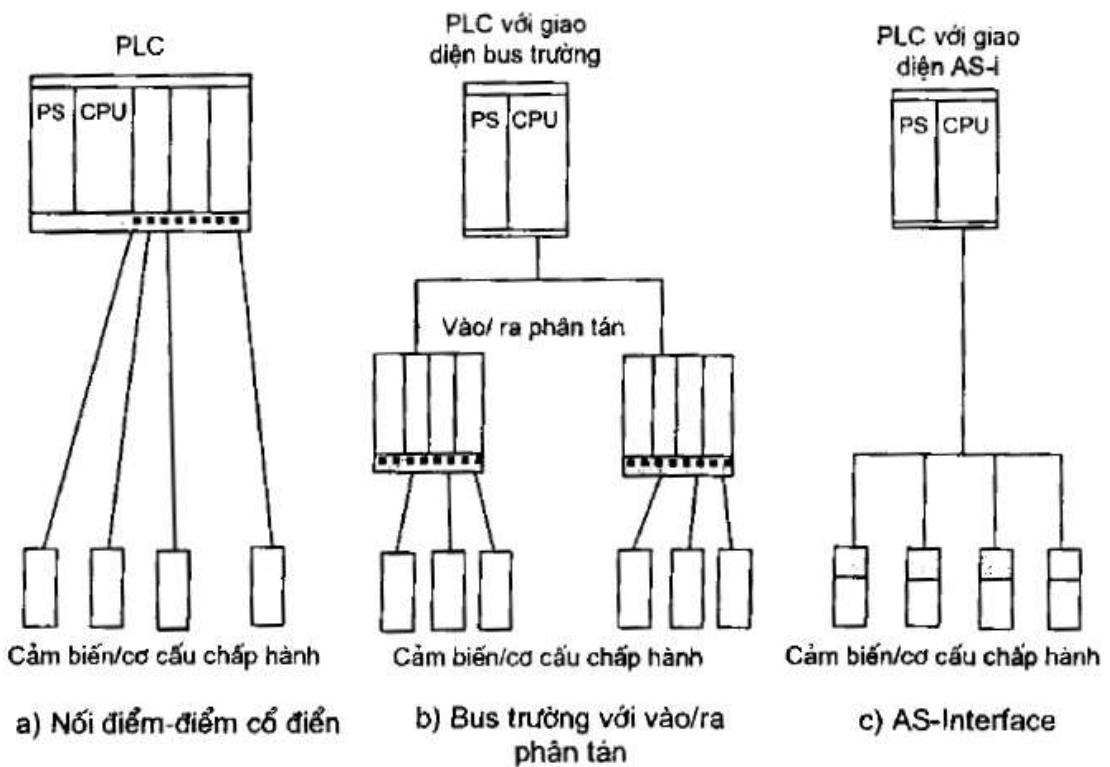
Loopback	Dữ liệu sử dụng	CRC	CNTR
2 Byte	0-512 Byte	2 Byte	2 Byte

Cấu trúc khung giao thức INTERBUS (lớp 2)



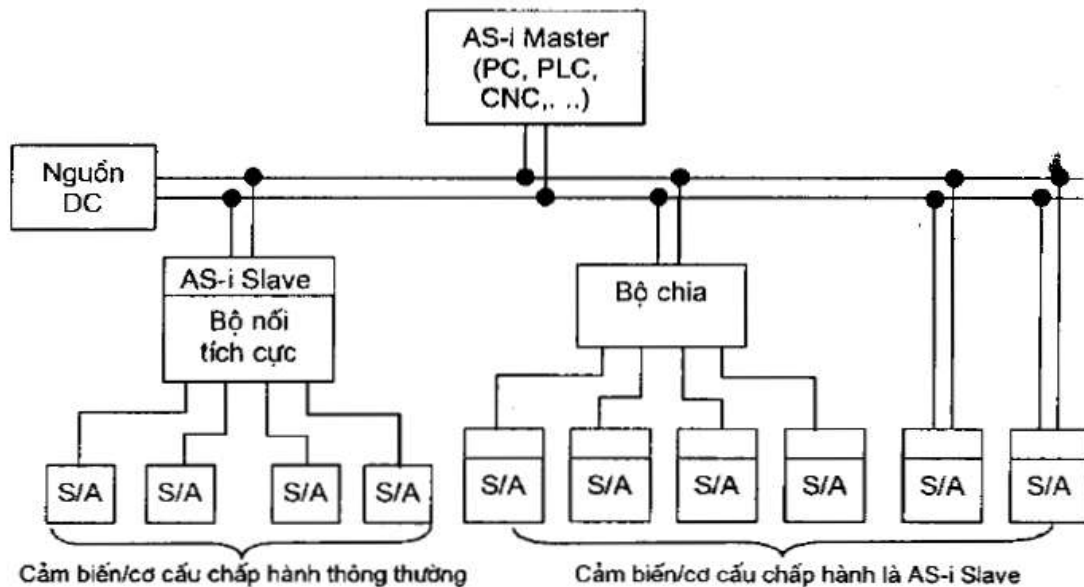
H 1.48 Cấu trúc bức điện Interbus-S

1.18. AS-I (Actuator Sensor Interface)



H 1.49 Ghép nối cảm biến và cơ cấu chấp hành số với AS-I

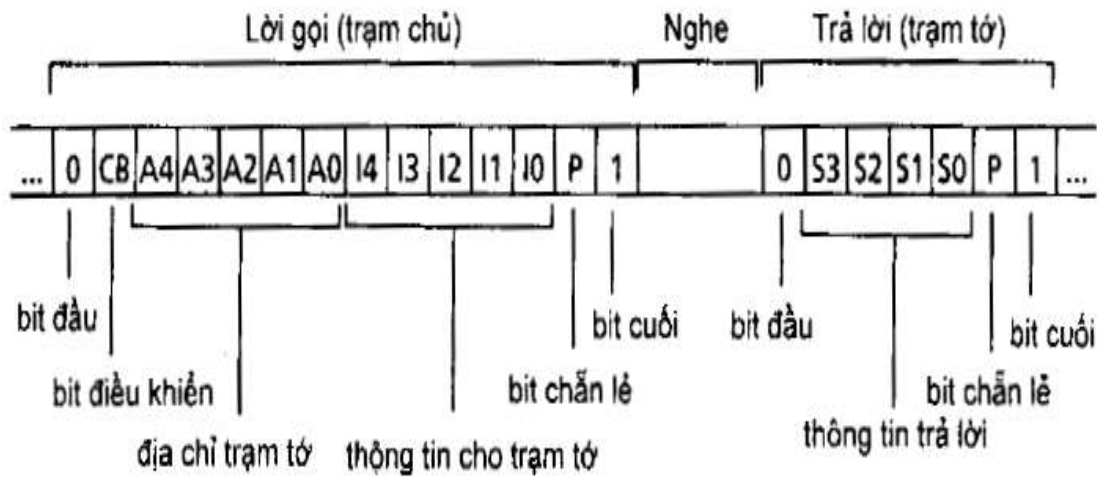
- **Kiến trúc giao thức** : Phản ánh đặc điểm của các hoạt động giao tiếp giữa một bộ điều khiển với các thiết bị cảm biến và cơ cấu chấp hành số là hạn chế ở việc trao đổi dữ liệu thuần túy và lượng dữ liệu trao đổi rất nhỏ. Để nâng cao hiệu suất và đơn giản hoá việc thực hiện các vi mạch, toàn bộ việc xử lý giao thức được gói gọn trong lớp 1 (lớp vật lý) theo mô hình OSI
- **Cấu trúc mạng và cáp truyền** :



H 1.50 Nguyên tắc ghép nối thiết bị trong một hệ AS-I

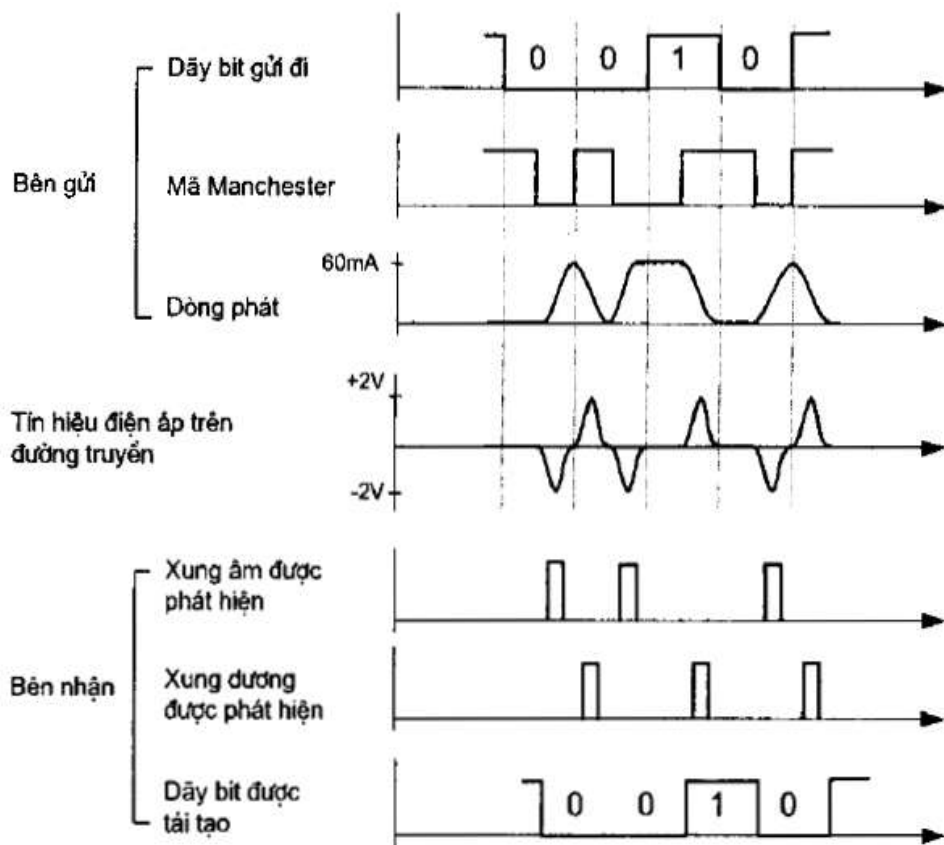
- **Cơ chế giao tiếp** : theo phương pháp chủ tớ, một mặt cho phép thực hiện vi mạch ghép nối cho các trạm tớ rất đơn giản , nên giá thành giảm tạo độ linh hoạt cho hệ thống. Khi có lỗi trạm chủ gửi lại riêng từng bức điện không có trả lời mà không lặp lại chu trình. Trạm chủ cũng có thể gửi thông báo kèm theo mà không ảnh hưởng tới thời gian chu kỳ bus.

- Cấu trúc bức điện :



H 1.51 Cấu trúc bức điện AS-I

- Mã hoá bit :



H 1.52 Mã hoá đường truyền AS- I sử dụng phương pháp APM

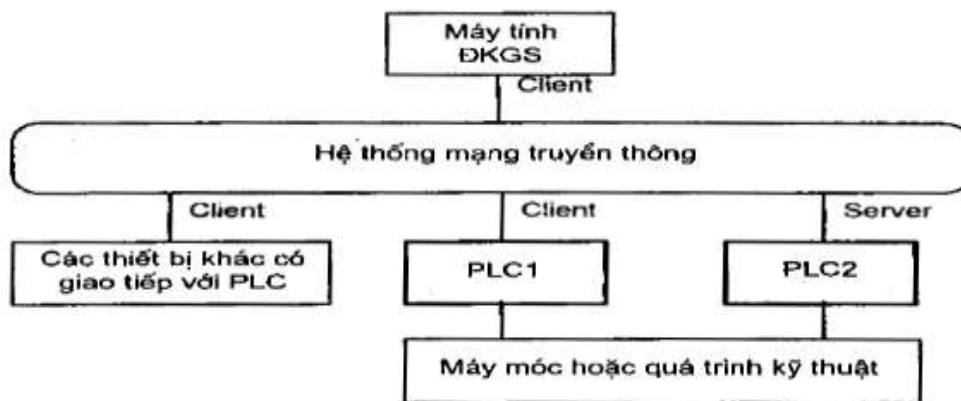
D. CÁC THÀNH PHẦN HỆ THỐNG MẠNG .

- **Một số chuẩn giao tiếp công nghiệp .**

- **Chuẩn MMS (Manufacturing Message Specification)** : chuẩn quốc tế cho việc xây dựng lớp ứng dụng theo mô hình qui chiếu OSI, cơ bản MMS qui định một tập hợp các dịch vụ chuẩn cho việc trao đổi dữ liệu thời gian thực và thông tin điều khiển giám sát. Các dịch vụ này cũng như các giao thức tương ứng được chuẩn hoá trong ISO/IEC 9506...

- **Chuẩn IEC 61131-5 .**

- **Mô hình giao tiếp mạng :**



H 1.53 Mô hình giao tiếp mạng .

- **Dịch vụ giao tiếp :**

- Bộ điều khiển (tổng thể)
- Vào / ra
- Bộ xử lý trung tâm
- Cung cấp nguồn
- Bộ nhớ
- Hệ thống truyền thông

Bảng Các dịch vụ giao tiếp cho PLC

STT	Các dịch vụ giao tiếp cho PLC	PLC yêu cầu	PLC đáp ứng	Khối chức năng có sẵn
1	Kiểm tra thiết bị	X	X	X
2	Thu thập dữ liệu	X	X	X
3	Điều khiển	X	X	X
4	Đồng bộ hóa giữa các chương trình ứng dụng	X	X	X
5	Báo động	X	0	X
6	Thực hiện chương trình và điều khiển vào/ra	0	X	0
7	Truyền nạp chương trình ứng dụng	0	X	0
8	Quản lý nối	X	X	X

Bảng Các khối chức năng giao tiếp (CFB)

STT	Chức năng	Tên khối chức năng hoặc hàm
1	Định địa chỉ các biến từ xa	REMOTE_VAR
2	Kiểm tra thiết bị	STATUS, USTATUS
4	Thu thập dữ liệu kiểu hỏi tuần tự	READ,
5	Thu thập dữ liệu kiểu lập trình	USEND, URCV
6	Điều khiển tham số	WRITE,
7	Điều khiển liên động	SEND, RCV
8	Báo động được lập trình	NOTIFY, ALARM
9	Quản lý nối	CONNECT

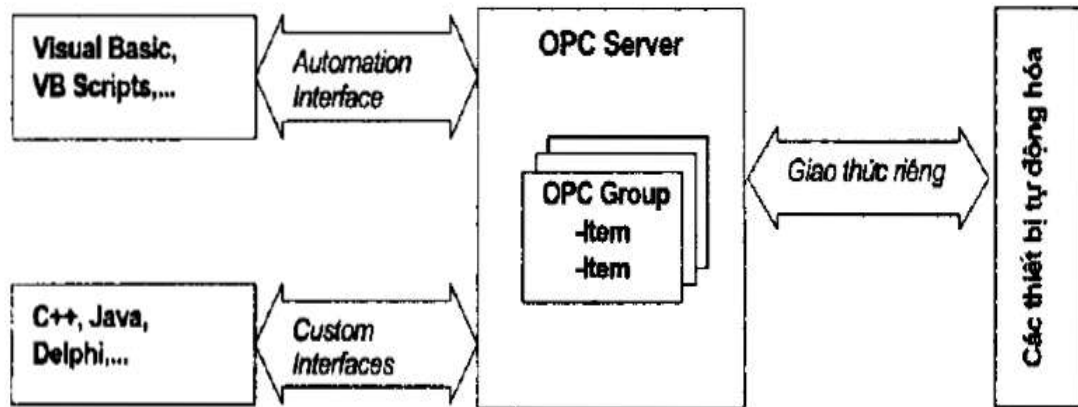
Lưu ý: Các khối chức năng UXXX thể hiện các dịch vụ không cần yêu cầu (*unsolicited services*).

- Kiểm tra thiết bị : Khối hàm STATUS và USTATUS hỗ trợ bộ điều khiển kiểm tra trạng thái các thiết bị khác
- Thu thập dữ liệu : Dữ liệu qua các thiết bị khác có thể biểu diễn qua các biến, có 2 phương pháp : hỏi tuần tự và lập trình
- Điều khiển : có 2 phương pháp là Điều khiển tham số và Điều khiển khoá liên động
- Báo động : Bộ điều khiển sẽ gửi tới các client khi có sự cố, Client có thể thông báo lại đã xác nhận tới bộ điều khiển

- Quản lý các mối liên kết : Các chương trình ứng dụng trong bộ điều khiển sử dụng khối CONNECT để quản lý các mối liên kết.

- **OPC (OLE for Process Control) :**

- Tổng quan kiến trúc OPC



H 1.54 Kiến trúc sơ lược của OPC

OPC được xây dựng trên cơ sở mô hình thành phần COM, nó định nghĩa thêm một số giao diện khai thác dữ liệu từ quá trình kỹ thuật, tạo cơ sở cho việc xây dựng các ứng dụng điều khiển phân tán mà không bị phụ thuộc vào mạng công nghiệp cụ thể ...

CHƯƠNG 2. THIẾT KẾ HỆ THỐNG TRUYỀN THÔNG TRÊN NỀN VI ĐIỀU KHIỂN PIC

A GIỚI THIỆU CHUNG VỀ VI ĐIỀU KHIỂN PIC

2.1. PIC LÀ GÌ?

PIC là viết tắt của “Programable Intelligent Computer”, có thể tạm dịch là “máy tính thông minh khả trình” do hãng Genenal Instrument đặt tên cho vi điều khiển đầu tiên của họ: PIC1650 được thiết kế để dùng làm các thiết bị ngoại vi cho vi điều khiển CP1600. Vi điều khiển này sau đó được nghiên cứu phát triển thêm và từ đó hình thành nên dòng vi điều khiển PIC ngày nay.

2.2. TẠI SAO CHỌN PIC MÀ KHÔNG CHỌN CÁC VI ĐIỀU KHIỂN KHÁC

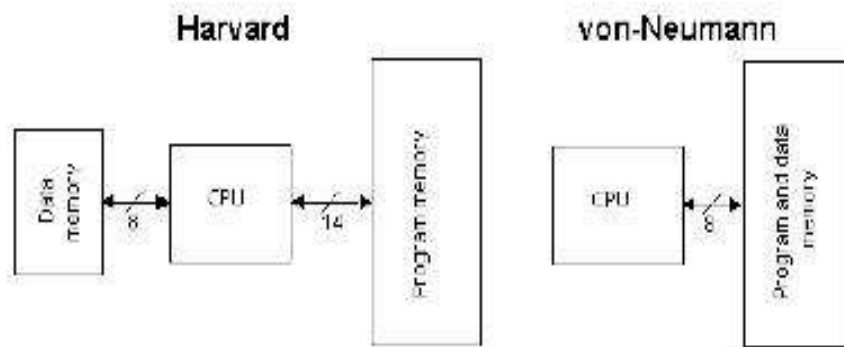
Hiện nay trên thị trường có rất nhiều họ vi điều khiển như 8051, Motorola 68HC, AVR, ARM,... Ngoài họ 8051 được hướng dẫn một cách căn bản ở môi trường đại học, chọn họ vi điều khiển PIC để mở rộng vốn kiến thức và phát triển các ứng dụng trên công cụ này vì các nguyên nhân sau:

Họ vi điều khiển này có thể tìm mua dễ dàng tại thị trường Việt Nam. Giá thành không quá đắt. Có đầy đủ các tính năng của một vi điều khiển khi hoạt động độc lập.

Là một sự bổ sung rất tốt về kiến thức cũng như về ứng dụng cho họ vi điều khiển mang tính truyền thống: họ vi điều khiển 8051. Số lượng người sử dụng họ vi điều khiển PIC. Hiện nay tại Việt Nam cũng như trên thế giới, họ vi điều khiển này được sử dụng khá rộng rãi. Điều này tạo nhiều thuận lợi trong quá trình tìm hiểu và phát triển các ứng dụng như: số lượng tài liệu, số lượng các ứng dụng mở đã được phát triển thành công, dễ dàng trao đổi, học tập, dễ dàng tìm được sự chỉ dẫn khi gặp khó khăn,... Sự hỗ trợ của nhà sản xuất về trình biên dịch, các công cụ lập trình, nạp chương trình từ đơn giản đến phức tạp,... Các tính năng đa dạng của vi điều khiển PIC, và các tính năng này không ngừng được phát triển.

2.3. KIẾN TRÚC PIC

Cấu trúc phần cứng của một vi điều khiển được thiết kế theo hai dạng kiến trúc: kiến trúc Von Neuman và kiến trúc Havard.



H 2.1 Kiến trúc Havard và kiến trúc Von-Neuman

Tổ chức phần cứng của PIC được thiết kế theo kiến trúc Havard. Điểm khác biệt giữa kiến trúc Havard và kiến trúc Von-Neuman là cấu trúc bộ nhớ dữ liệu và bộ nhớ chương trình. Đối với kiến trúc Von-Neuman, bộ nhớ dữ liệu và bộ nhớ chương trình nằm chung trong một bộ nhớ, do đó ta có thể tổ chức, cân đối một cách linh hoạt bộ nhớ chương trình và bộ nhớ dữ liệu. Tuy nhiên điều này chỉ có ý nghĩa khi tốc độ xử lý của CPU phải rất cao, vì với cấu trúc đó, trong cùng một thời điểm CPU chỉ có thể tương tác với bộ nhớ dữ liệu hoặc bộ nhớ chương trình. Như vậy có thể nói kiến trúc Von-Neuman không thích hợp với cấu trúc của một vi điều khiển. Đối với kiến trúc Havard, bộ nhớ dữ liệu và bộ nhớ chương trình tách ra thành hai bộ nhớ riêng biệt. Do đó trong cùng một thời điểm CPU có thể tương tác với cả hai bộ nhớ, như vậy tốc độ xử lý của vi điều khiển được cải thiện đáng kể. Một điểm cần chú ý nữa là tập lệnh trong kiến trúc Havard có thể được tối ưu tùy theo yêu cầu kiến trúc của vi điều khiển mà không phụ thuộc vào cấu trúc dữ liệu. Ví dụ, đối với vi điều khiển dòng 16F, độ dài lệnh luôn là 14 bit (trong khi dữ liệu được tổ chức thành từng byte), còn đối với kiến trúc Von-Neuman, độ dài lệnh luôn là bội số của 1 byte (do dữ liệu được tổ chức thành từng byte).

lệnh. Đối với các lệnh mà quá trình thực thi nó làm thay đổi giá trị thanh ghi PC (Program Counter) cần hai chu kỳ lệnh để thực thi vì phải thực hiện việc gọi lệnh ở địa chỉ thanh ghi PC chỉ tới. Sau khi đã xác định đúng vị trí lệnh trong thanh ghi PC, mỗi lệnh chỉ cần một chu kỳ lệnh để thực thi xong.

2.6. CÁC DÒNG PIC VÀ CÁCH LỰA CHỌN VI ĐIỀU KHIỂN PIC

Các kí hiệu của vi điều khiển PIC:

PIC12xxxx: độ dài lệnh 12 bit

PIC16xxxx: độ dài lệnh 14 bit

PIC18xxxx: độ dài lệnh 16 bit

C: PIC có bộ nhớ EPROM (chỉ có 16C84 là EEPROM)

F: PIC có bộ nhớ flash

LF: PIC có bộ nhớ flash hoạt động ở điện áp thấp

LV: tương tự như LF, đây là kí hiệu cũ

Bên cạnh đó một số vi điều khiển có kí hiệu xxFxxx là EEPROM, nếu có thêm chữ A ở cuối là flash (ví dụ PIC16F877 là EEPROM, còn PIC16F877A là flash). Ngoài ra còn có thêm một dòng vi điều khiển PIC mới là dsPIC. Ở Việt Nam phổ biến nhất là các họ vi điều khiển PIC do hãng Microchip sản xuất. Cách lựa chọn một vi điều khiển PIC phù hợp: Trước hết cần chú ý đến số chân của vi điều khiển cần thiết cho ứng dụng. Có nhiều vi điều khiển PIC với số lượng chân khác nhau, thậm chí có vi điều khiển chỉ có 8 chân, ngoài ra còn có các vi điều khiển 28, 40, 44, ... chân.

Cần chọn vi điều khiển PIC có bộ nhớ flash để có thể nạp xóa chương trình được nhiều lần hơn. Tiếp theo cần chú ý đến các khối chức năng được tích hợp sẵn trong vi điều khiển, các chuẩn giao tiếp bên trong. Sau cùng cần chú ý đến bộ nhớ chương trình mà vi điều khiển cho phép.

Ngoài ra mọi thông tin về cách lựa chọn vi điều khiển PIC có thể được tìm thấy trong cuốn sách “Select PIC guide” do nhà sản xuất Microchip cung cấp.

2.7. NGÔN NGỮ LẬP TRÌNH CHO PIC

Ngôn ngữ lập trình cho PIC rất đa dạng. Ngôn ngữ lập trình cấp thấp có MPLAB (được cung cấp miễn phí bởi nhà sản xuất Microchip), các ngôn ngữ lập trình cấp cao hơn bao gồm C, Basic, Pascal, ... Ngoài ra còn có một số ngôn ngữ lập trình được phát triển dành riêng cho PIC như PICBasic, MikroBasic,...

2.8. MẠCH NẠP PIC

Đây cũng là một dòng sản phẩm rất đa dạng dành cho vi điều khiển PIC. Có thể sử dụng các mạch nạp được cung cấp bởi nhà sản xuất là hãng Microchip như: PICSTART plus, MPLAB ICD 2, MPLAB PM 3, PRO MATE II. Có thể dùng các sản phẩm này để nạp cho vi điều khiển khác thông qua chương trình MPLAB. Dòng sản phẩm chính thống này có ưu thế là nạp được cho tất cả các vi điều khiển PIC, tuy nhiên giá thành rất cao và thường gặp rất nhiều khó khăn trong quá trình mua sản phẩm. Ngoài ra do tính năng cho phép nhiều chế độ nạp khác nhau, còn có rất nhiều mạch nạp được thiết kế dành cho vi điều khiển PIC. Có thể sơ lược một số mạch nạp cho PIC như sau:

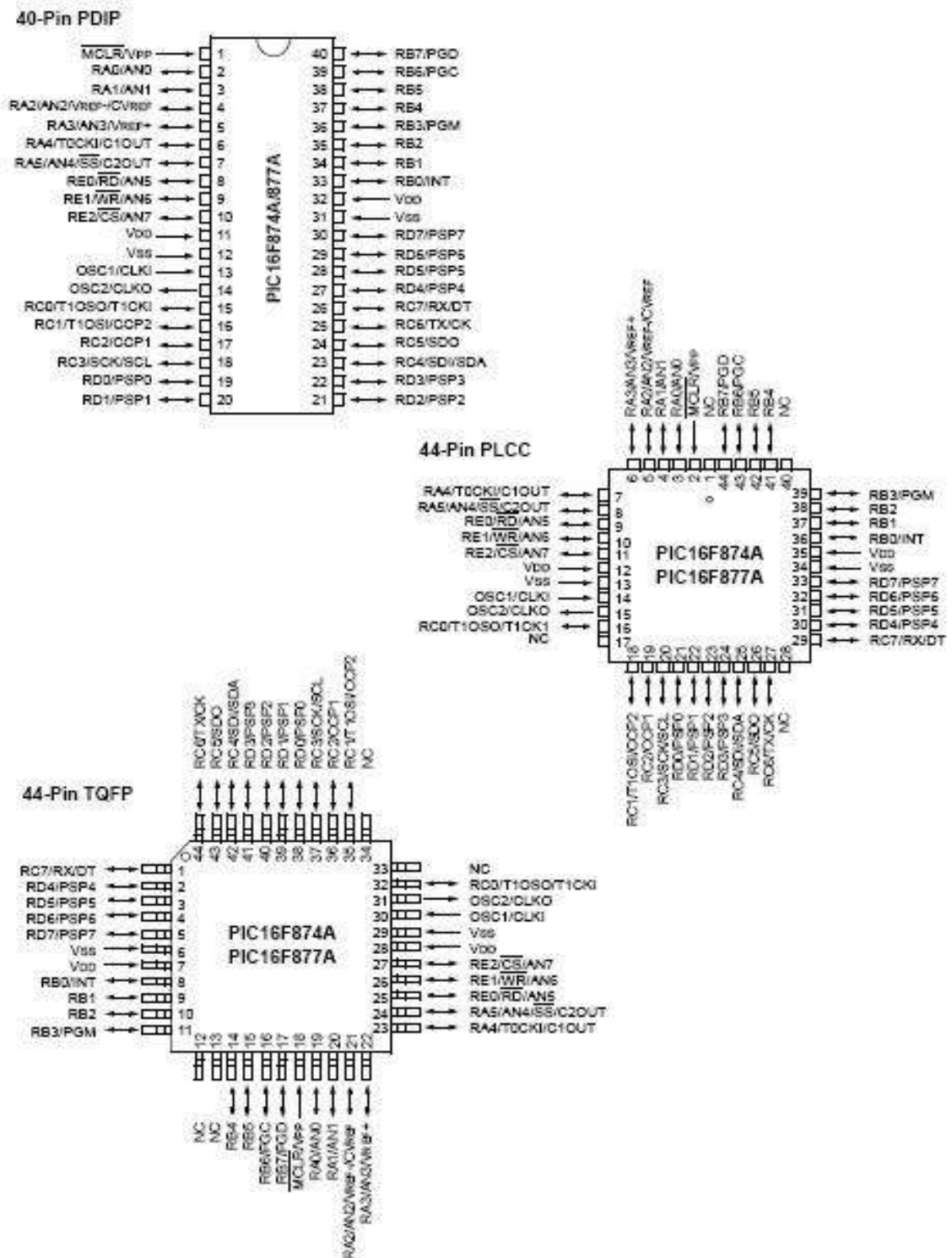
JDM programmer: mạch nạp này dùng chương trình nạp Icprog cho phép nạp các vi điều khiển PIC có hỗ trợ tính năng nạp chương trình điện áp thấp ICSP (In Circuit Serial Programming). Hầu hết các mạch nạp đều hỗ trợ tính năng nạp chương trình này. WARP-13A và MCP-USB: hai mạch nạp này giống với mạch nạp PICSTART PLUS do nhà sản xuất Microchip cung cấp, tương thích với trình biên dịch MPLAB, nghĩa là ta có thể trực tiếp dùng chương trình MPLAB để nạp cho vi điều khiển PIC mà không cần sử dụng một chương trình nạp khác, chẳng hạn như ICprog. P16PRO40: mạch nạp này do Nigel thiết kế và cũng khá nổi tiếng. Ông còn thiết kế cả chương trình nạp, tuy nhiên ta cũng có thể sử dụng chương trình nạp Icprog.

Mạch nạp Universal của Williem: đây không phải là mạch nạp chuyên dụng dành cho PIC như P16PRO40.

Các mạch nạp kể trên có ưu điểm rất lớn là đơn giản, rẻ tiền, hoàn toàn có thể tự lắp ráp một cách dễ dàng, và mọi thông tin về sơ đồ mạch nạp, cách thiết kế, thi công, kiểm tra và chương trình nạp đều dễ dàng tìm được và download miễn phí thông qua mạng Internet. Tuy nhiên các mạch nạp trên có nhược điểm là hạn chế về số vi điều khiển được hỗ trợ, bên cạnh đó mỗi mạch nạp cần được sử dụng với một chương trình nạp thích hợp.

B VI ĐIỀU KHIỂN PIC 16F877A

2.9. SƠ ĐỒ CHÂN VI ĐIỀU KHIỂN PIC16F877A



H 2.3 Các dạng sơ đồ chân

2.10. MỘT VÀI THÔNG SỐ VI ĐIỀU KHIỂN PIC 16F877A

Đây là vi điều khiển thuộc họ PIC16Fxxx với tập lệnh gồm 35 lệnh có độ dài 14 bit.

Mỗi lệnh đều được thực thi trong một chu kỳ xung clock. Tốc độ hoạt động tối đa cho phép là 20 MHz với một chu kỳ lệnh là 200ns. Bộ nhớ chương trình 8Kx14 bit, bộ nhớ dữ liệu 368x8 byte RAM và bộ nhớ dữ liệu EEPROM với dung lượng 256x8 byte. Số PORT I/O là 5 với 33 pin I/O.

Các đặc tính ngoại vi bao gồm các khối chức năng sau:

Timer0: bộ đếm 8 bit với bộ chia tần số 8 bit.

Timer1: bộ đếm 16 bit với bộ chia tần số, có thể thực hiện chức năng đếm dựa vào

xung clock ngoại vi ngay khi vi điều khiển hoạt động ở chế độ sleep.

Timer2: bộ đếm 8 bit với bộ chia tần số, bộ postcaler.

Hai bộ Capture/so sánh/điều chế độ rộng xung.

Các chuẩn giao tiếp nối tiếp SSP (Synchronous Serial Port), SPI và I2C.

Chuẩn giao tiếp nối tiếp USART với 9 bit địa chỉ.

Cổng giao tiếp song song PSP (Parallel Slave Port) với các chân điều khiển RD, WR,

CS ở bên ngoài. Các đặc tính Analog:

8 kênh chuyển đổi ADC 10 bit.

Hai bộ so sánh.

Bên cạnh đó là một vài đặc tính khác của vi điều khiển như:

Bộ nhớ flash với khả năng ghi xóa được 100.000 lần.

Bộ nhớ EEPROM với khả năng ghi xóa được 1.000.000 lần.

Dữ liệu bộ nhớ EEPROM có thể lưu trữ trên 40 năm.

Khả năng tự nạp chương trình với sự điều khiển của phần mềm.

Nạp được chương trình ngay trên mạch điện ICSP (In Circuit Serial Programming) thông qua 2 chân.

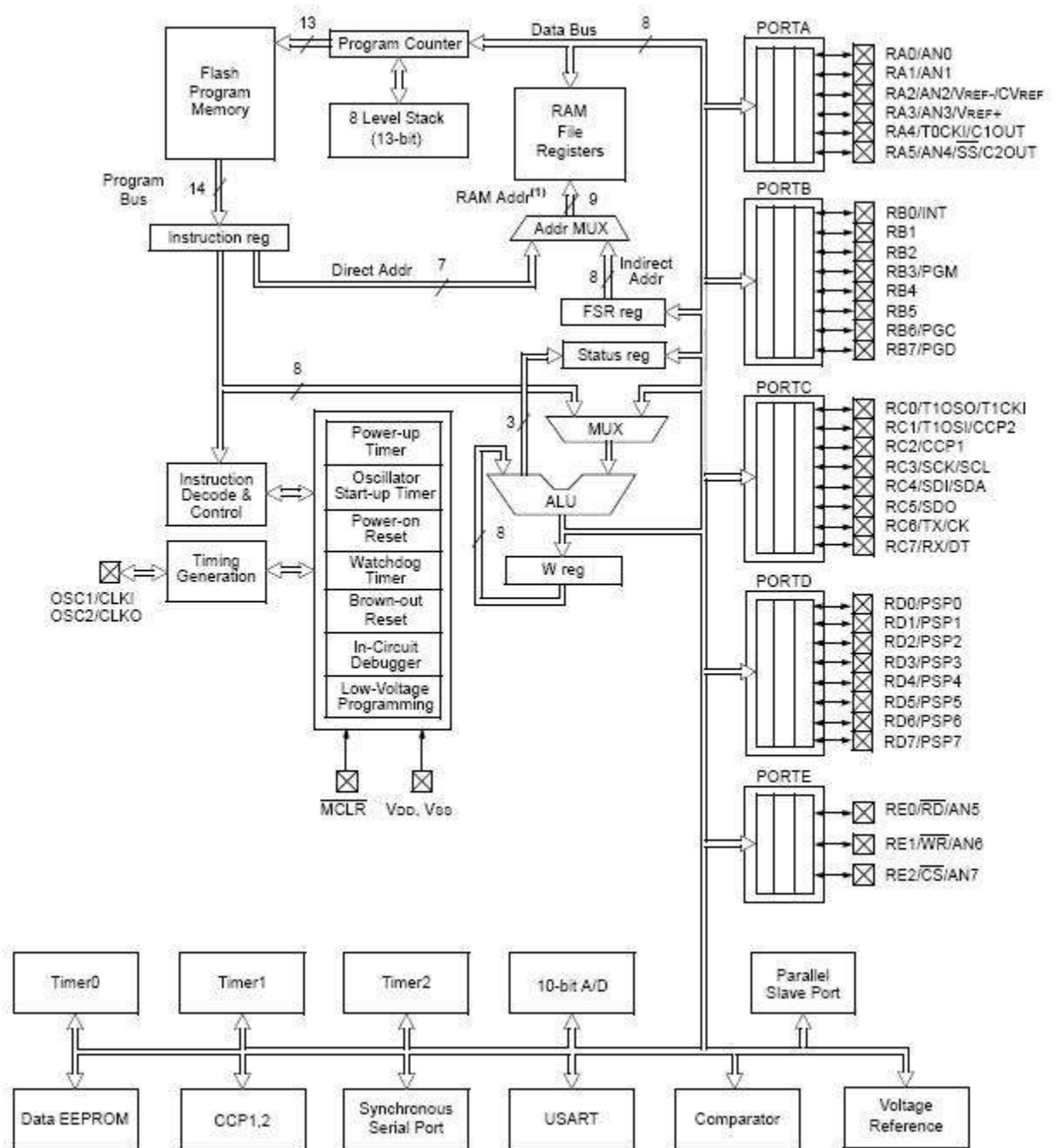
Watchdog Timer với bộ dao động trong.

Chức năng bảo mật mã chương trình.

Chế độ Sleep.

Có thể hoạt động với nhiều dạng Oscillator khác nhau.

2.11. SƠ ĐỒ KHỐI VI ĐIỀU KHIỂN PIC 16F877A



H 2.4. Sơ đồ khối vi điều khiển PIC16F877A.

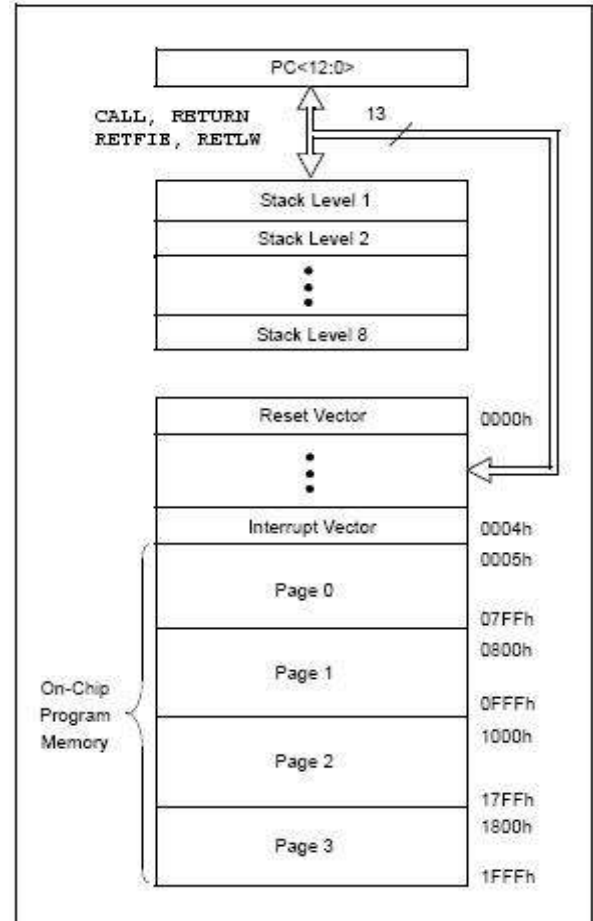
2.12. TỒ CHỨC BỘ NHỚ

Cấu trúc bộ nhớ của vi điều khiển PIC16F877A bao gồm bộ nhớ chương trình (Program memory) và bộ nhớ dữ liệu (Data Memory).

2.12.1 Bộ nhớ chương trình

Bộ nhớ chương trình của vi điều khiển PIC16F877A là bộ nhớ flash, dung lượng bộ nhớ 8K word (1 word = 14 bit) và được phân thành nhiều trang (từ page0 đến page 3).

Như vậy bộ nhớ chương trình có khả năng chứa được $8 \times 1024 = 8192$ lệnh (vì một lệnh sau khi mã hóa sẽ có dung lượng 1 word (14 bit)). Để mã hóa được địa chỉ của 8K word bộ nhớ chương trình, bộ đếm chương trình có dung lượng 13 bit (PC<12:0>). Khi vi điều khiển được reset, bộ đếm chương trình sẽ chỉ đến địa chỉ 0000h (Reset vector).



Hình 2.5 Bộ nhớ chương trình

Khi có ngắt xảy ra, bộ đếm chương trình sẽ chỉ đến địa chỉ 0004h (Interrupt vector). Bộ nhớ chương trình không bao gồm bộ nhớ stack và không được địa chỉ hóa bởi bộ đếm chương trình. Bộ nhớ stack sẽ được đề cập cụ thể trong phần sau.

2.12.2 Bộ nhớ dữ liệu

Bộ nhớ dữ liệu của PIC là bộ nhớ EEPROM được chia ra làm nhiều bank. Đối với

PIC16F877A bộ nhớ dữ liệu được chia ra làm 4 bank. Mỗi bank có dung

lượng 128 byte, bao gồm các thanh ghi có chức năng đặc biệt SFG (Special Function Register) nằm ở các vùng địa chỉ thấp và các thanh ghi mục đích chung GPR (General Purpose Register) nằm ở vùng địa chỉ còn lại trong bank. Các thanh ghi SFR thường xuyên được sử dụng (ví dụ như thanh ghi STATUS) sẽ được đặt ở tất cả các bank của bộ nhớ dữ liệu giúp thuận tiện trong quá trình truy xuất và làm giảm bớt lệnh của chương trình. Sơ đồ cụ thể của bộ nhớ dữ liệu PIC16F877A như sau:

File Address		File Address		File Address		File Address	
Indirect addr. ^(*)	00h	Indirect addr. ^(*)	80h	Indirect addr. ^(*)	100h	Indirect addr. ^(*)	180h
TMR0	01h	OPTION_REG	81h	TMR0	101h	OPTION_REG	181h
PCL	02h	PCL	82h	PCL	102h	PCL	182h
STATUS	03h	STATUS	83h	STATUS	103h	STATUS	183h
FSR	04h	FSR	84h	FSR	104h	FSR	184h
PORTA	05h	TRISA	85h		105h		185h
PORTB	06h	TRISB	86h	PORTB	106h	TRISB	186h
PORTC	07h	TRISC	87h		107h		187h
PORTD ⁽¹⁾	08h	TRISD ⁽¹⁾	88h		108h		188h
PORTE ⁽¹⁾	09h	TRISE ⁽¹⁾	89h		109h		189h
PCLATH	0Ah	PCLATH	8Ah	PCLATH	10Ah	PCLATH	18Ah
INTCON	0Bh	INTCON	8Bh	INTCON	10Bh	INTCON	18Bh
PIR1	0Ch	PIE1	8Ch	EEDATA	10Ch	EECON1	18Ch
PIR2	0Dh	PIE2	8Dh	EEADR	10Dh	EECON2	18Dh
TMR1L	0Eh	PCON	8Eh	EEDATH	10Eh	Reserved ⁽²⁾	18Eh
TMR1H	0Fh		8Fh	EEADRH	10Fh	Reserved ⁽²⁾	18Fh
T1CON	10h		90h		110h		190h
TMR2	11h	SSPCON2	91h		111h		191h
T2CON	12h	PR2	92h		112h		192h
SSPBUF	13h	SSPADD	93h		113h		193h
SSPCON	14h	SSPSTAT	94h		114h		194h
CCPR1L	15h		95h		115h		195h
CCPR1H	16h		96h		116h		196h
CCP1CON	17h		97h	General Purpose Register 16 Bytes	117h	General Purpose Register 16 Bytes	197h
RCSTA	18h	TXSTA	98h		118h		198h
TXREG	19h	SPBRG	99h		119h		199h
RCREG	1Ah		9Ah		11Ah		19Ah
CCPR2L	1Bh		9Bh		11Bh		19Bh
CCPR2H	1Ch	CMCON	9Ch		11Ch		19Ch
CCP2CON	1Dh	CVRCON	9Dh		11Dh		19Dh
ADRESH	1Eh	ADRESL	9Eh		11Eh		19Eh
ADCON0	1Fh	ADCON1	9Fh		11Fh		19Fh
	20h		A0h		120h		1A0h
General Purpose Register 96 Bytes		General Purpose Register 80 Bytes		General Purpose Register 80 Bytes		General Purpose Register 80 Bytes	
			EFh		16Fh		1EFh
		accesses 70h-7Fh	F0h	accesses 70h-7Fh	170h	accesses 70h - 7Fh	1F0h
			FFh		17Fh		1FFh
Bank 0	7Fh	Bank 1	FFh	Bank 2	17Fh	Bank 3	1FFh

Unimplemented data memory locations, read as '0'.
 * Not a physical register.

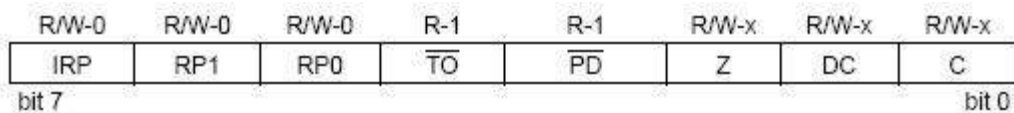
Note 1: These registers are not implemented on the PIC16F876A.
Note 2: These registers are reserved; maintain these registers clear.

H 2.6 Bộ nhớ dữ liệu

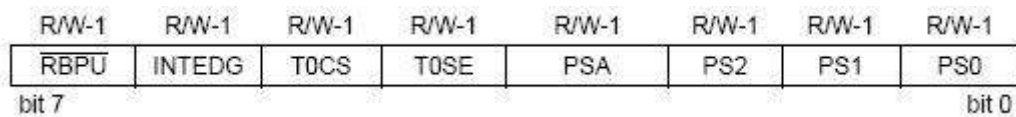
2.12.2.1 Thanh ghi chức năng đặc biệt SFR

Đây là các thanh ghi được sử dụng bởi CPU hoặc được dùng để thiết lập và điều khiển các khối chức năng được tích hợp bên trong vi điều khiển. Có thể phân thanh ghi SFR làm hai loại: thanh ghi SFR liên quan đến các chức năng bên trong (CPU) và thanh ghi SRF dùng để thiết lập và điều khiển các khối chức năng bên ngoài (ví dụ như ADC, PWM, ...). Phần này sẽ đề cập đến các thanh ghi liên quan đến các chức năng bên trong. Các thanh ghi dùng để thiết lập và điều khiển các khối chức năng sẽ được nhắc đến khi ta đề cập đến các khối chức năng đó

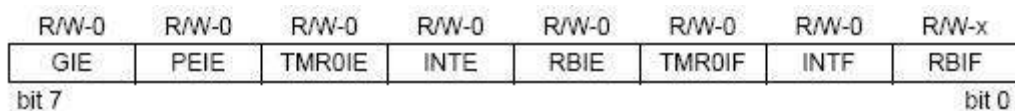
Thanh ghi STATUS (03h, 83h, 103h, 183h): thanh ghi chứa kết quả thực hiện phép toán của khối ALU, trạng thái reset và các bit chọn bank cần truy xuất trong bộ nhớ dữ liệu.



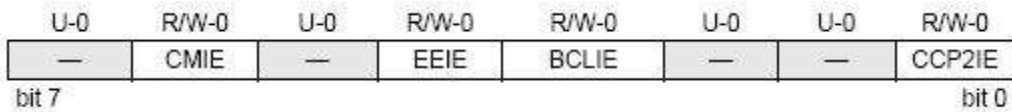
Thanh ghi OPTION_REG (81h, 181h): thanh ghi này cho phép đọc và ghi, cho phép điều khiển chức năng pull-up của các chân trong PORTB, xác lập các tham số về xung tác động, cạnh tác động của ngắt ngoại vi và bộ đếm Timer0.



Thanh ghi INTCON (0Bh, 8Bh, 10Bh, 18Bh): thanh ghi cho phép đọc và ghi, chứa các bit điều khiển và các bit cờ hiệu khi timer0 bị tràn, ngắt ngoại vi RB0/INT và ngắt interrupt- on-change tại các chân của PORTB.

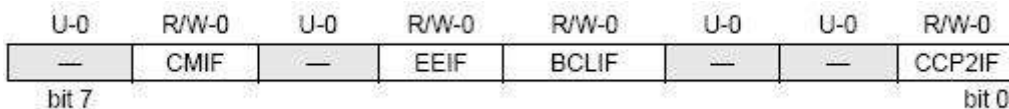


Thanh ghi PIE1 (8Ch): chứa các bit điều khiển chi tiết các ngắt của các khối chức năng ngoại vi.

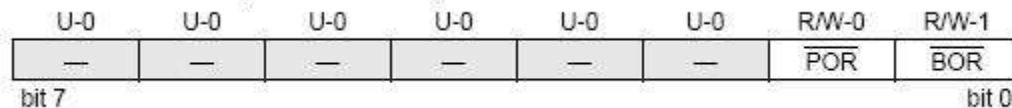


Thanh ghi PIR1 (0Ch) chứa cờ ngắt của các khối chức năng ngoại vi, các ngắt này

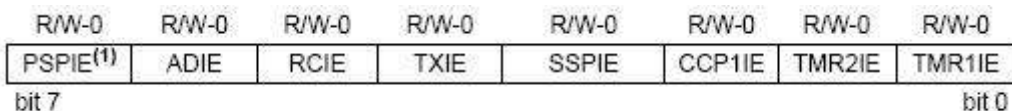
được cho phép bởi các bit điều khiển chứa trong thanh ghi PIE1.



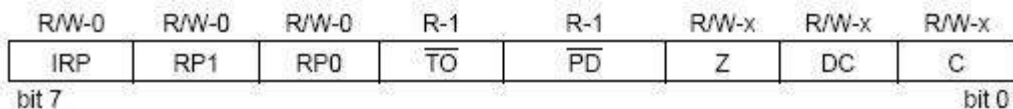
Thanh ghi PIE2 (8Dh): chứa các bit điều khiển các ngắt của các khối chức năng CCP2, SSP bus, ngắt của bộ so sánh và ngắt ghi vào bộ nhớ EEPROM.



Thanh ghi PIR2 (0Dh): chứa các cờ ngắt của các khối chức năng ngoại vi, các ngắt này được cho phép bởi các bit điều khiển chứa trong thanh ghi PIE2.



Thanh ghi PCON (8Eh): chứa các cờ hiệu cho biết trạng thái các chế độ reset của vi điều khiển.



2.12.2.2 Thanh ghi mục đích chung GPR

Các thanh ghi này có thể được truy xuất trực tiếp hoặc gián tiếp thông qua thanh ghi FSG (File Select Register). Đây là các thanh ghi dữ liệu thông thường, người sử dụng có thể tùy theo mục đích chương trình mà có thể dùng các thanh ghi này để chứa các biến số, hằng số, kết quả hoặc các tham số phục vụ cho chương trình.

2.12.3 STACK

Stack không nằm trong bộ nhớ chương trình hay bộ nhớ dữ liệu mà là một vùng nhớ đặc biệt không cho phép đọc hay ghi. Khi lệnh CALL được thực hiện hay khi một ngắt xảy ra làm chương trình bị rẽ nhánh, giá trị của bộ đếm chương trình PC tự động được vi điều khiển cất vào trong stack. Khi một trong các lệnh RETURN, RETLW hay RETFIE được thực thi, giá trị PC sẽ tự động được lấy ra từ trong stack, vi điều khiển sẽ thực hiện tiếp chương trình theo đúng qui trình định trước.

Bộ nhớ Stack trong vi điều khiển PIC họ 16F87xA có khả năng chứa được 8 địa chỉ và hoạt động theo cơ chế xoay vòng. Nghĩa là giá trị cất vào bộ nhớ Stack lần thứ 9 sẽ ghi đè lên giá trị cất vào Stack lần đầu tiên và giá trị cất vào bộ nhớ Stack lần thứ 10 sẽ ghi đè lên giá trị cất vào Stack lần thứ 2.

Cần chú ý là không có cờ hiệu nào cho biết trạng thái stack, do đó ta không biết được khi nào stack tràn. Bên cạnh đó tập lệnh của vi điều khiển dòng PIC cũng không có lệnh POP hay PUSH, các thao tác với bộ nhớ stack sẽ hoàn toàn được điều khiển bởi CPU.

2.13. CÁC CỔNG XUẤT NHẬP CỦA PIC 16F877A

Cổng xuất nhập (I/O port) chính là phương tiện mà vi điều khiển dùng để tương tác với thế giới bên ngoài. Sự tương tác này rất đa dạng và thông qua quá trình tương tác đó, chức năng của vi điều khiển được thể hiện một cách rõ ràng.

Một cổng xuất nhập của vi điều khiển bao gồm nhiều chân (I/O pin), tùy theo cách bố trí và chức năng của vi điều khiển mà số lượng cổng xuất nhập và số lượng chân trong mỗi cổng có thể khác nhau. Bên cạnh đó, do vi điều khiển được tích hợp sẵn bên trong các đặc tính giao tiếp ngoại vi nên bên cạnh chức năng là cổng xuất nhập thông thường, một số chân xuất nhập còn có thêm các chức năng khác để thể hiện sự tác động của các đặc tính ngoại vi nêu trên đối với thế giới bên ngoài. Chức năng của từng chân xuất nhập trong

mỗi cổng hoàn toàn có thể được xác lập và điều khiển được thông qua các thanh ghi SFR liên quan đến chân xuất nhập đó.

Vi điều khiển PIC16F877A có 5 cổng xuất nhập, bao gồm PORTA, PORTB, PORTC, PORTD và PORTE. Cấu trúc và chức năng của từng cổng xuất nhập sẽ được đề cập cụ thể trong phần sau.

2.13.1 Port A

PORTA (RPA) bao gồm 6 I/O pin. Đây là các chân “hai chiều” (bidirectional pin), nghĩa là có thể xuất và nhập được. Chức năng I/O này được điều khiển bởi thanh ghi TRISA (địa chỉ 85h). Muốn xác lập chức năng của một chân trong PORTA là input, ta “set” bit điều khiển tương ứng với chân đó trong thanh ghi TRISA và ngược lại, muốn xác lập chức năng của một chân trong PORTA là output, ta “clear” bit điều khiển tương ứng với chân đó trong thanh ghi TRISA. Thao tác này hoàn toàn tương tự đối với các PORT và các thanh ghi điều khiển tương ứng TRIS (đối với PORTA là TRISA, đối với PORTB là TRISB, đối với PORTC là TRISC, đối với PORTD là TRISD và đối với PORTE là TRISE). Bên cạnh đó PORTA còn là ngõ ra của bộ ADC, bộ so sánh, ngõ vào analog ngõ vào xung clock của Timer0 và ngõ vào của bộ giao tiếp MSSP (Master Synchronous Serial Port). Đặc tính này sẽ được trình bày cụ thể trong phần sau. Các thanh ghi SFR liên quan đến PORTA bao gồm:

PORTA (địa chỉ 05h)	: chứa giá trị các pin trong PORTA.
TRISA (địa chỉ 85h)	: điều khiển xuất nhập.
CMCON (địa chỉ 9Ch)	: thanh ghi điều khiển bộ so sánh.
CVRCON (địa chỉ 9Dh)	: thanh ghi điều khiển bộ so sánh điện áp.
ADCON1 (địa chỉ 9Fh)	: thanh ghi điều khiển bộ

2.13.2 Port B

PORTB (RPB) gồm 8 pin I/O. Thanh ghi điều khiển xuất nhập tương ứng là TRISB.

Bên cạnh đó một số chân của PORTB còn được sử dụng trong quá trình nạp chương trình cho vi điều khiển với các chế độ nạp khác nhau. PORTB còn liên quan đến ngắt ngoại vi và bộ Timer0. PORTB còn được tích hợp chức năng điện trở kéo lên được điều khiển bởi chương trình.

Các thanh ghi SFR liên quan đến PORTB bao gồm:

PORTB (địa chỉ 06h,106h) : chứa giá trị các pin trong PORTB

TRISB (địa chỉ 86h,186h) : điều khiển xuất nhập

OPTION_REG (địa chỉ 81h,181h) : điều khiển ngắt ngoại vi và bộ Timer0

2.13.3 Port C

PORTC (RPC) gồm 8 pin I/O. Thanh ghi điều khiển xuất nhập tương ứng là TRISC.

Bên cạnh đó PORTC còn chứa các chân chức năng của bộ so sánh, bộ Timer1, bộ PWM và các chuẩn giao tiếp nối tiếp I2C, SPI, SSP, USART.

Các thanh ghi điều khiển liên quan đến PORTC:

PORTC (địa chỉ 07h) : chứa giá trị các pin trong PORTC

TRISC (địa chỉ 87h) : điều khiển xuất nhập.

2.13.4 Port D

PORTD (RPD) gồm 8 chân I/O, thanh ghi điều khiển xuất nhập tương ứng là TRISD.

PORTD còn là cổng xuất dữ liệu của chuẩn giao tiếp PSP (Parallel Slave Port).

Các thanh ghi liên quan đến PORTD bao gồm:

Thanh ghi PORTD : chứa giá trị các pin trong PORTD.

Thanh ghi TRISD : điều khiển xuất nhập.

Thanh ghi TRISE : điều khiển xuất nhập PORTE và chuẩn giao tiếp PSP.

2.13.4 Port E

PORTE (RPE) gồm 3 chân I/O. Thanh ghi điều khiển xuất nhập tương ứng là TRISE.

Các chân của PORTE có ngõ vào analog. Bên cạnh đó PORTE còn là các chân điều khiển của chuẩn giao tiếp PSP.

Các thanh ghi liên quan đến PORTE bao gồm:

PORTE : chứa giá trị các chân trong PORTE.

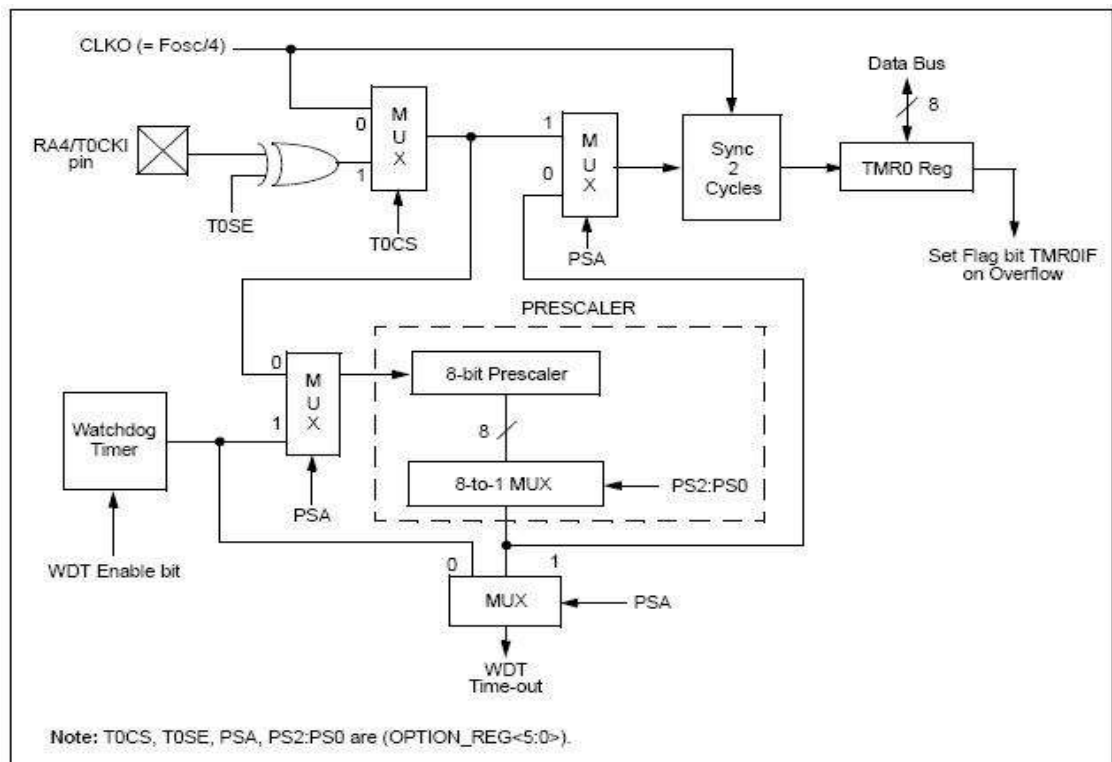
TRISE : điều khiển xuất nhập và xác lập các thông số cho chuẩn giao tiếp PSP.

ADCON1 : thanh ghi điều khiển khối ADC

2.14. TIMER 0

Đây là một trong ba bộ đếm hoặc bộ định thời của vi điều khiển PIC16F877A. Timer0 là bộ đếm 8 bit được kết nối với bộ chia tần số (prescaler) 8 bit. Cấu trúc của Timer0 cho phép ta lựa chọn xung clock tác động và cạnh tích cực của xung clock. Ngắt Timer0 sẽ xuất hiện khi Timer0 bị tràn. Bit TMR0IE (INTCON<5>) là bit điều khiển của Timer0.

TMR0IE=1 cho phép ngắt Timer0 tác động, TMR0IF= 0 không cho phép ngắt Timer0 tác động. Sơ đồ khối của Timer0 như sau



H 2.7 Sơ đồ khối của Timer0

Các bit PS2:PS0 (OPTION_REG<2:0>) xác định tỉ số chia tần số của prescaler. Xem lại thanh ghi OPTION_REG để xác định lại một cách chi tiết về các bit điều khiển trên. Các lệnh tác động lên giá trị thanh ghi TMR0 sẽ xóa chế độ hoạt động của prescaler. Khi đối tượng tác động là Timer0, tác động lên giá trị thanh ghi TMR0 sẽ xóa prescaler nhưng không làm thay đổi đối tượng tác động của prescaler. Khi đối tượng tác động là WDT, lệnh CLRWDT sẽ xóa prescaler, đồng thời prescaler sẽ ngưng tác vụ hỗ trợ cho WDT. Các thanh ghi điều khiển liên quan đến Timer0 bao gồm:

TMR0 (địa chỉ 01h, 101h) : chứa giá trị đếm của Timer0.

INTCON (địa chỉ 0Bh, 8Bh, 10Bh, 18Bh): cho phép ngắt hoạt động (GIE và PEIE).

OPTION_REG (địa chỉ 81h, 181h): điều khiển prescaler.

Muốn Timer0 hoạt động ở chế độ Timer ta clear bit TOSC (OPTION_REG<5>), khi đó giá trị thanh ghi TMR0 sẽ tăng theo từng chu kì xung đồng hồ (tần số vào Timer0 bằng $\frac{1}{4}$ tần số oscillator). Khi giá trị thanh ghi TMR0 từ FFh trở về 00h, ngắt Timer0 sẽ xuất hiện. Thanh ghi TMR0 cho phép ghi và xóa được giúp ta ấn định thời điểm ngắt Timer0 xuất hiện một cách linh động.

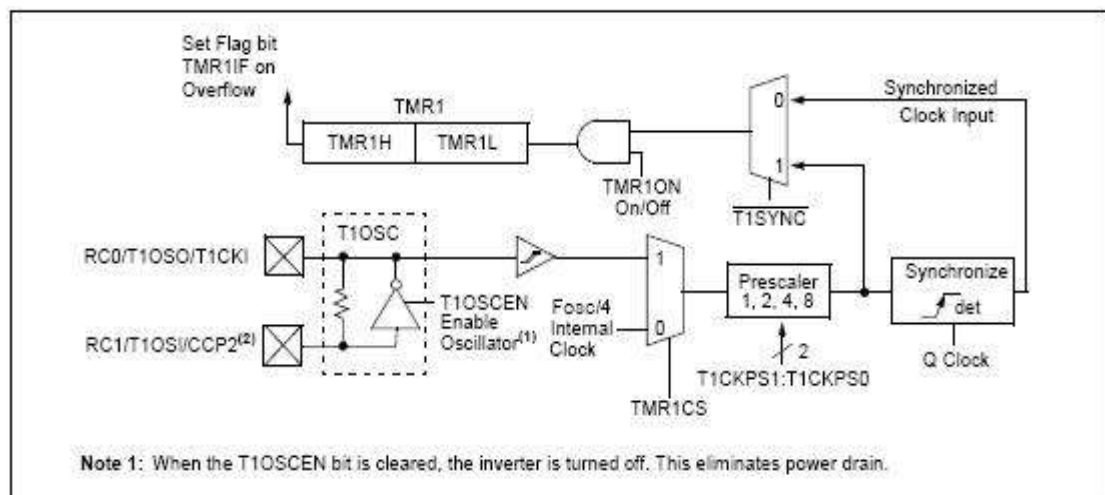
Muốn Timer0 hoạt động ở chế độ counter ta set bit TOSC (OPTION_REG<5>). Khi đó xung tác động lên bộ đếm được lấy từ chân RA4/TOCK1. Bit(OPTION_REG<4>) cho phép lựa chọn cạnh tác động vào bộ đếm. Cạnh tác động sẽ là cạnh lên nếu TOSE=0 và cạnh tác động sẽ là cạnh xuống nếu TOSE=1.

Khi thanh ghi TMR0 bị tràn, bit TMR0IF (INTCON<2>) sẽ được set. Đây chính là cờ ngắt của Timer0. Cờ ngắt này phải được xóa bằng chương trình trước khi bộ đếm bắt đầu thực hiện lại quá trình đếm. Ngắt Timer0 không thể “đánh thức” vi điều khiển từ chế độ sleep. Bộ chia tần số (prescaler) được chia sẻ giữa Timer0 và WDT (Watchdog Timer). Điều đó có

nghĩa là nếu prescaler được sử dụng cho Timer0 thì WDT sẽ không có được hỗ trợ của prescaler và ngược lại. Prescaler được điều khiển bởi thanh ghi OPTION_REG. Bit PSA (OPTION_REG<3>) xác định đối tượng tác động của prescaler.

2.15 TIMER 1

Timer1 là bộ định thời 16 bit, giá trị của Timer1 sẽ được lưu trong hai thanh ghi (TMR1H:TMR1L). Cờ ngắt của Timer1 là bit TMR1IF (PIR1<0>). Bit điều khiển của Timer1 sẽ là TMR1IE (PIE<0>). Tương tự như Timer0, Timer1 cũng có hai chế độ hoạt động: chế độ định thời (timer) với xung kích là xung clock của oscillator (tần số của timer bằng $\frac{1}{4}$ tần số của oscillator) và chế độ đếm (counter) với xung kích là xung phản ánh các sự kiện cần đếm lấy từ bên ngoài thông qua chân RC0/T1OSO/T1CKI (cạnh tác động là cạnh lên). Việc lựa chọn xung tác động (tương ứng với việc lựa chọn chế độ hoạt động là timer hay counter) được điều khiển bởi bit TMR1CS (T1CON<1>). Sau đây là sơ đồ khối của Timer1:



Ngoài ra Timer1 còn có chức năng reset input bên trong được điều khiển bởi một trong hai khối CCP (Capture/Compare/PWM). Khi bit T1OSCEN (T1CON<3>) được set, Timer1 sẽ lấy xung clock từ hai chân RC1/T1OSI/CCP2 và RC0/T1OSO/T1CKI làm xung đếm. Timer1 sẽ bắt đầu

đếm sau cạnh xuống đầu tiên của xung ngõ vào. Khi đó PORTC sẽ bỏ qua sự tác động của hai bit TRISC<1:0> và PORTC<2:1> được gán giá trị 0. Khi clear bit T1OSCEN Timer1 sẽ lấy xung đếm từ oscillator hoặc từ chân RC0/T1OSO/T1CKI.

Timer1 có hai chế độ đếm là đồng bộ (Synchronous) và bất đồng bộ (Asynchronous). Chế độ đếm được quyết định bởi bit điều khiển(T1CON<2>). Khi=1 xung đếm lấy từ bên ngoài sẽ không được đồng bộ hóa với xung clock bên trong, Timer1 sẽ tiếp tục quá trình đếm khi vi điều khiển đang ở chế độ sleep và ngắt do Timer1 tạo ra khi bị tràn có khả năng “đánh thức” vi điều khiển. Ở chế độ đếm bất đồng bộ, Timer1 không thể được sử dụng để làm nguồn xung clock cho khối CCP

(Capture/Compare/Pulse width modulation). Khi=0 xung đếm vào Timer1 sẽ được đồng bộ hóa với xung clock bên trong. Ở chế độ này Timer1 sẽ không hoạt động khi vi điều khiển đang ở chế độ sleep. Các thanh ghi liên quan đến Timer1 bao gồm:

INTCON (địa chỉ 0Bh, 8Bh, 10Bh, 18Bh): cho phép ngắt hoạt động (GIE và PEIE).

PIR1 (địa chỉ 0Ch): chứa cờ ngắt Timer1 (TMR1IF).

PIE1(địa chỉ 8Ch): cho phép ngắt Timer1 (TMR1IE).

TMR1L (địa chỉ 0Eh): chứa giá trị 8 bit thấp của bộ đếm Timer1.

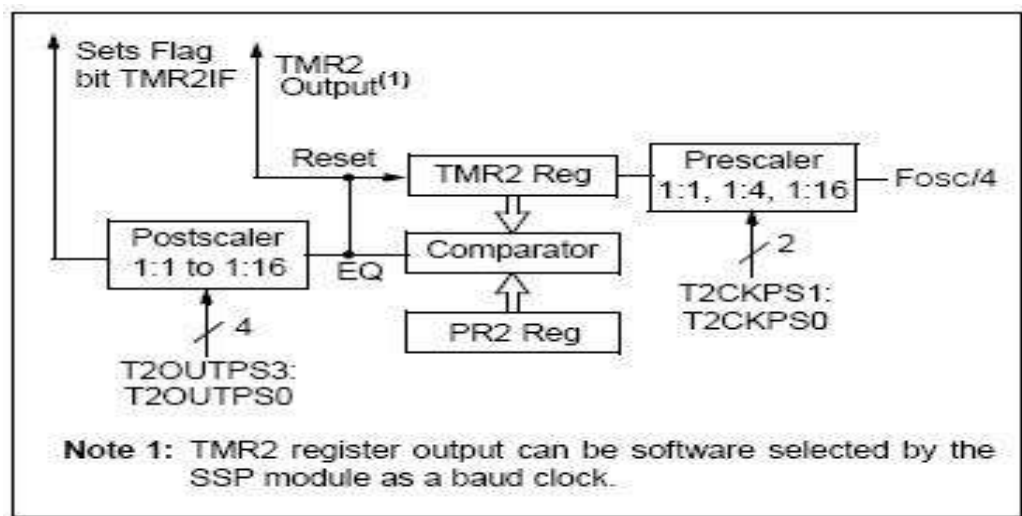
TMR1H (địa chỉ 0Fh): chứa giá trị 8 bit cao của bộ đếm Timer1.

T1CON (địa chỉ 10h): xác lập các thông số cho Timer1.

2.16. TIMER 2

Timer2 là bộ định thời 8 bit và được hỗ trợ bởi hai bộ chia tần số prescaler và postscaler. Thanh ghi chứa giá trị đếm của Timer2 là TMR2. Bit cho phép ngắt Timer2 tác động là TMR2ON (T2CON<2>). Cờ ngắt của Timer2 là bit TMR2IF (PIR1<1>). Xung ngõ vào (tần số bằng ¼ tần số oscillator) được đưa qua bộ chia tần số prescaler 4 bit (với các tỉ số chia tần

số là 1:1, 1:4 hoặc 1:16 và được điều khiển bởi các bit T2CKPS1:T2CKPS0 (T2CON<1:0>)).



Hình 2.8 Sơ đồ khối Timer2.

Timer2 còn được hỗ trợ bởi thanh ghi PR2. Giá trị đếm trong thanh ghi TMR2 sẽ tăng từ 00h đến giá trị chứa trong thanh ghi PR2, sau đó được reset về 00h. Khi reset thanh ghi PR2 được nhận giá trị mặc định FFh. Ngõ ra của Timer2 được đưa qua bộ chia tần số postscaler với các mức chia từ 1:1 đến 1:16. Postscaler được điều khiển bởi 4 bit T2OUTPS3:T2OUTPS0. Ngõ ra của postscaler đóng vai trò quyết định trong việc điều khiển cờ ngắt.

Ngoài ra ngõ ra của Timer2 còn được kết nối với khối SSP, do đó Timer2 còn đóng vai trò tạo ra xung clock đồng bộ cho khối giao tiếp SSP.

Các thanh ghi liên quan đến Timer2 bao gồm:

INTCON (địa chỉ 0Bh, 8Bh, 10Bh, 18Bh): cho phép toàn bộ các ngắt (GIE và PEIE).

PIR1 (địa chỉ 0Ch): chứa cờ ngắt Timer2 (TMR2IF).

PIE1 (địa chỉ 8Ch): chứa bit điều khiển Timer2 (TMR2IE).

TMR2 (địa chỉ 11h): chứa giá trị đếm của Timer2.

T2CON (địa chỉ 12h): xác lập các thông số cho Timer2. PR2 (địa chỉ 92h): thanh ghi hỗ trợ cho Timer2.

Ta có một vài nhận xét về Timer0, Timer1 và Timer2 như sau:

Timer0 và Timer2 là bộ đếm 8 bit (giá trị đếm tối đa là FFh), trong khi Timer1 là bộ đếm 16 bit (giá trị đếm tối đa là FFFFh).

Timer0, Timer1 và Timer2 đều có hai chế độ hoạt động là timer và counter. Xung clock có tần số bằng $\frac{1}{4}$ tần số của oscillator.

Xung tác động lên Timer0 được hỗ trợ bởi prescaler và có thể được thiết lập ở nhiều chế độ khác nhau (tần số tác động, cạnh tác động) trong khi các thông số của xung tác động lên Timer1 là cố định. Timer2 được hỗ trợ bởi hai bộ chia tần số prescaler và postcaler độc lập, tuy nhiên cạnh tác động vẫn được cố định là cạnh lên. Timer1 có quan hệ với khối CCP, trong khi Timer2 được kết nối với khối SSP.

Một vài so sánh sẽ giúp ta dễ dàng lựa chọn được Timer thích hợp cho ứng dụng

CHƯƠNG 3 : THIẾT KẾ SƠ ĐỒ MẠCH PHẦN CỨNG, MẠCH IN MẠCH NGUYÊN LÝ, SƠ ĐỒ KHỐI ,NGUYÊN LÝ HOẠT ĐỘNG.

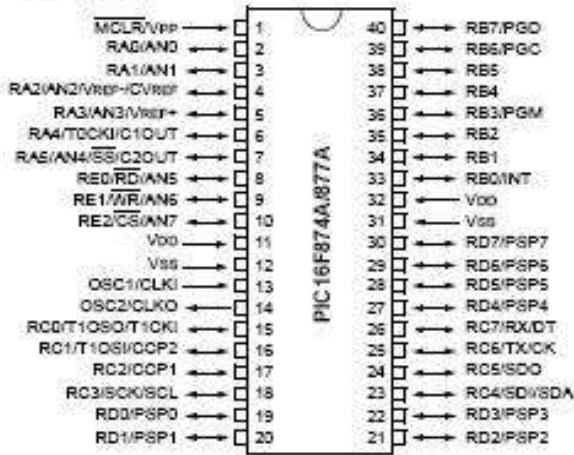
Sau khi đi sâu vào nghiên cứu về **HỆ THỐNG MẠNG CÔNG NGHIỆP** cũng như nghiên cứu về vi điều khiển **PIC 16F877A** là phần tử quan trọng trong quá trình lập trình và một số linh kiện để xây dựng mạch em đã sử dụng phần mềm **ORCARD(v10.0)** để vẽ và thiết kế sơ đồ mạch in, sơ đồ mạch nguyên lý cho mô hình nguyên cứu.

A: GIỚI THIỆU CÁC PHẦN TỬ TRONG MẠCH

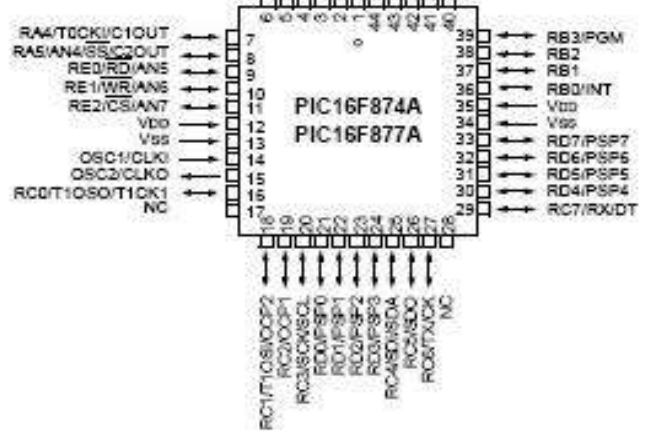
3.1. VI ĐIỀU KHIỂN PIC 16F877A

- Sơ đồ chân

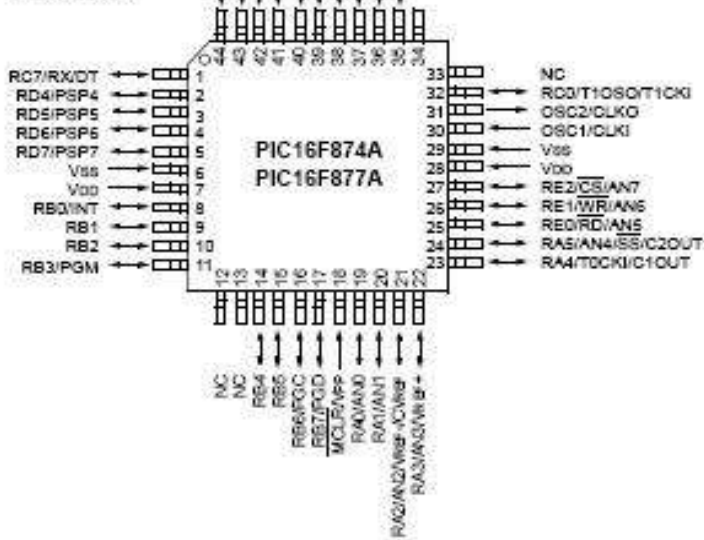
40-Pin PDIP



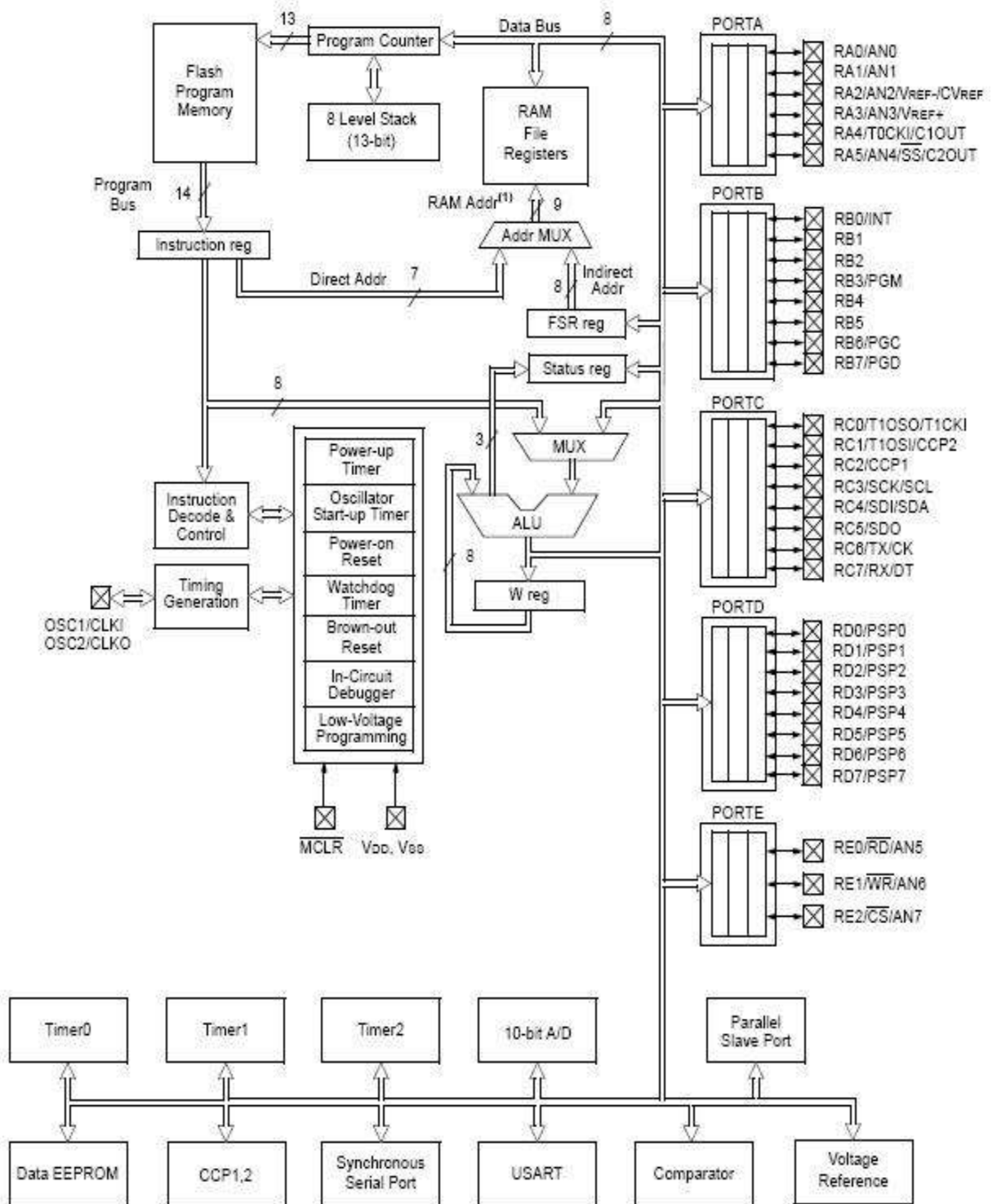
44-Pin PLCC



44-Pin TQFP



- Sơ đồ khối



- Một vài thông số

Đây là vi điều khiển thuộc họ PIC16Fxxx với tập lệnh gồm 35 lệnh có độ dài 14 bit. Mỗi lệnh đều được thực thi trong một chu kỳ xung clock. Tốc độ hoạt động tối đa cho phép là 20 MHz với một chu kỳ lệnh là 200ns. Bộ nhớ chương trình 8Kx14 bit, bộ nhớ dữ liệu 368x8 byte RAM và bộ nhớ dữ liệu EEPROM với dung lượng 256x8 byte. Số PORT I/O là 5 với 33 pin I/O.

Các đặc tính ngoại vi bao gồm các khối chức năng sau:

Timer0: bộ đếm 8 bit với bộ chia tần số 8 bit.

Timer1: bộ đếm 16 bit với bộ chia tần số, có thể thực hiện chức năng đếm dựa vào xung clock ngoại vi ngay khi vi điều khiển hoạt động ở chế độ sleep.

Timer2: bộ đếm 8 bit với bộ chia tần số, bộ postcaler.

Hai bộ Capture/so sánh/điều chế độ rộng xung.

Các chuẩn giao tiếp nối tiếp SSP (Synchronous Serial Port), SPI và I2C.

Chuẩn giao tiếp nối tiếp USART với 9 bit địa chỉ.

Cổng giao tiếp song song PSP (Parallel Slave Port) với các chân điều khiển RD, WR,

CS ở bên ngoài. Các đặc tính Analog:

8 kênh chuyển đổi ADC 10 bit.

Hai bộ so sánh.

Bên cạnh đó là một vài đặc tính khác của vi điều khiển như:

Bộ nhớ flash với khả năng ghi xóa được 100.000 lần.

Bộ nhớ EEPROM với khả năng ghi xóa được 1.000.000 lần.

Dữ liệu bộ nhớ EEPROM có thể lưu trữ trên 40 năm.

Khả năng tự nạp chương trình với sự điều khiển của phần mềm.

Nạp được chương trình ngay trên mạch điện ICSP (In Circuit Serial Programming) thông qua 2 chân.

Watchdog Timer với bộ dao động trong.

Chức năng bảo mật mã chương trình.

Chế độ Sleep.

Có thể hoạt động với nhiều dạng Oscillator khác nhau.

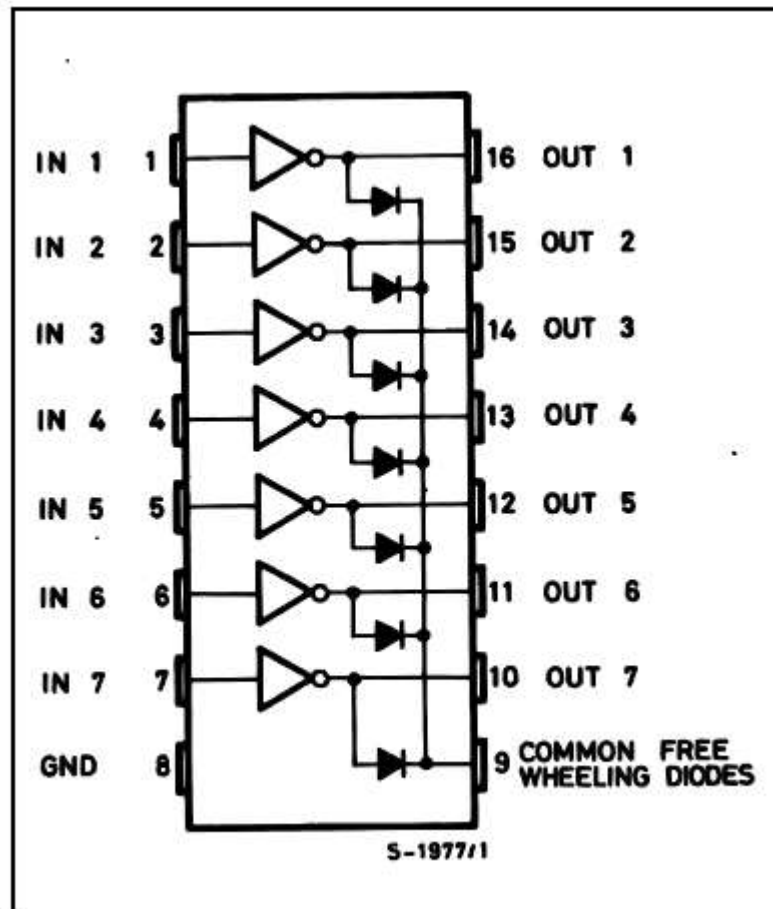
3.2. LED 7 THANH

Led 7 thanh bao gồm nhiều loại led tích hợp bên trong các led được nối chung nhau 1 chân .Trong thực tế có 2 loại led 7 thanh là loại anot chung và loại katot chung. Trong chương trình này sử dụng loại anot chung , các led sẽ có chung nhau chân nguồn (chân dương) chân còn lại a,b,c,d,e,f,g của led nào được nối đất thì led đó sẽ sáng.Thay vì sử dụng loại led 7 thanh trên thì trường đang sử dụng,ở đây em thiết kế led 7 thanh được tích hợp bởi nhiều led đơn trong đó.Điện áp đưa vào anot chung là 12 VDC, I_{max} của led 7 thanh là khoảng 1,4A.Bảng logic như sau:

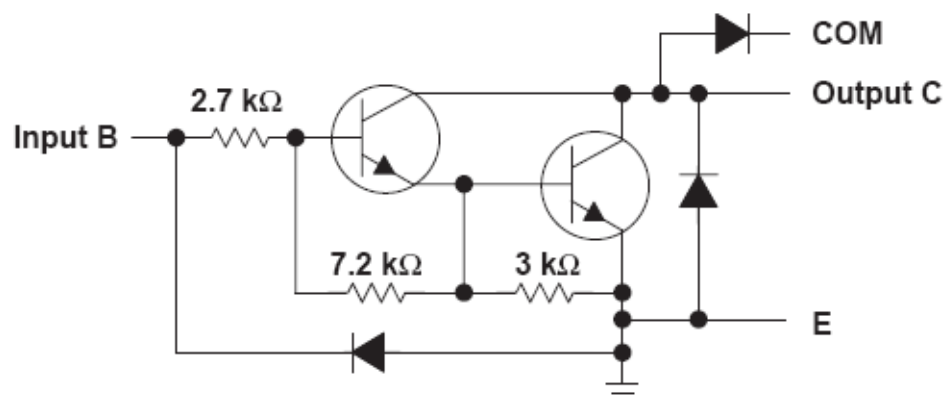
	a	b	c	d	e	f	G	h
0	0	0	0	0	0	0	1	1
1	1	0	0	1	1	1	1	1
2	0	0	1	0	0	1	0	1
3	0	0	0	0	1	1	0	1
4	1	0	0	1	1	0	0	1
5	0	1	0	0	1	0	0	1
6	0	1	0	0	0	0	0	1
7	0	0	0	1	1	1	1	1
8	0	0	0	0	0	0	0	1
9	0	0	0	0	1	0	0	1

3.3. IC ĐỆM ULN 2003 APG

- Sơ đồ chân và sơ đồ logic



- Sơ đồ nguyên lý cấu tạo trong của ULN2003:(1cặp darlington)



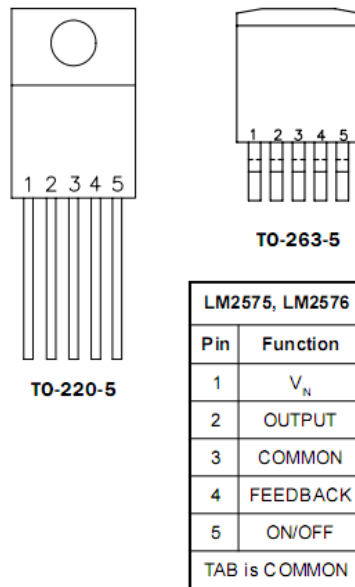
Đặc tính của ULN2003:

- Dòng đầu ra :500 mA
- Đầu ra điện áp cao: 50V
- Thích hợp với nhiều kiểu logic
- Ứng dụng điều khiển role

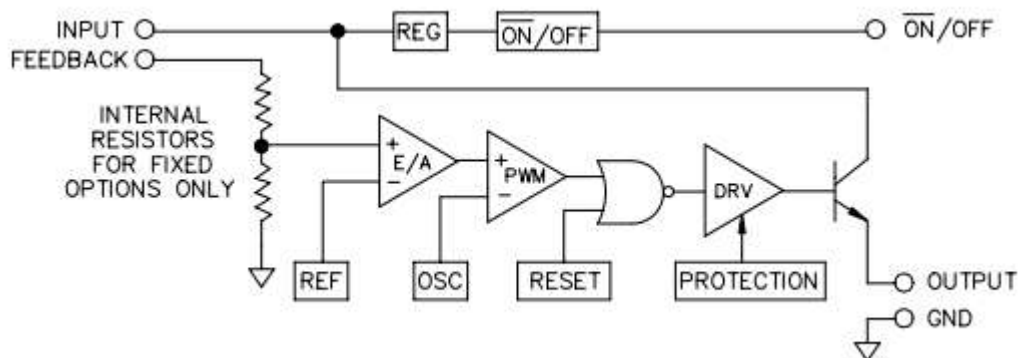
Đầu vào được mở với điện áp là 3.85V, dòng là 1.85mA; Đầu ra có thể đưa 500mA xuống mass

3.4. LM 2576T

- Sơ đồ chân



- Sơ đồ nguyên lý



- Thông số vào ra

LM2576-5 ([Note 1] Test Circuit Figure 15)

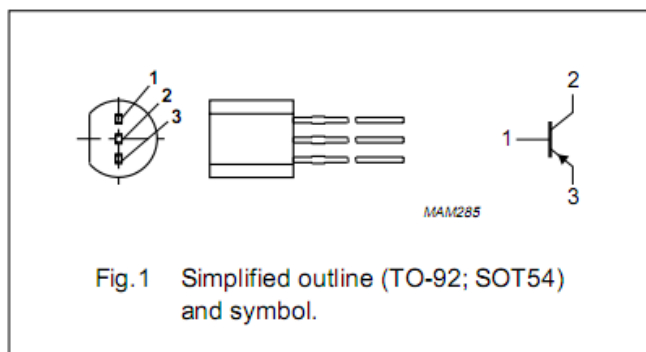
Output Voltage ($V_{in} = 12\text{ V}$, $I_{Load} = 0.5\text{ A}$, $T_J = 25^\circ\text{C}$)	V_{out}	4.9	5.0	5.1	V
Output Voltage ($8.0\text{ V} \leq V_{in} \leq 40\text{ V}$, $0.5\text{ A} \leq I_{Load} \leq 3.0\text{ A}$)	V_{out}	4.8	5.0	5.2	V
$T_J = 25^\circ\text{C}$		4.75	-	5.25	
$T_J = -40\text{ to }+125^\circ\text{C}$					
Efficiency ($V_{in} = 12\text{ V}$, $I_{Load} = 3.0\text{ A}$)	η	-	77	-	%

3.5. TRANSISTOR A1015

- Sơ đồ chân

PINNING

PIN	DESCRIPTION
1	base
2	collector
3	emitter



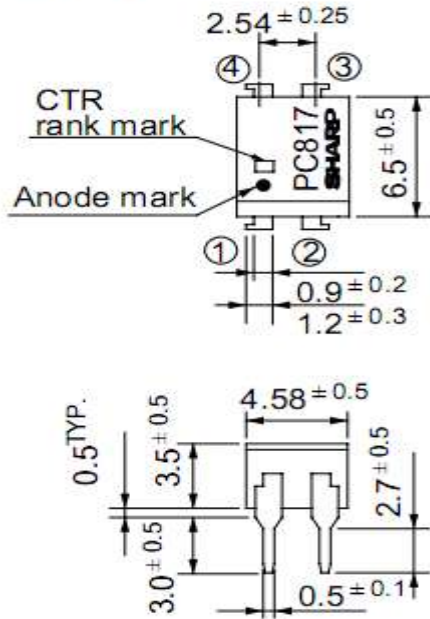
- Thông số vào ra

SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
V_{CBO}	collector-base voltage	open emitter	-	-50	V
V_{CEO}	collector-emitter voltage	open base	-	-50	V
V_{EBO}	emitter-base voltage	open collector	-	-5	V
I_C	collector current (DC)		-	-150	mA
I_{CM}	peak collector current		-	-200	mA
I_{BM}	peak base current		-	-200	mA
P_{tot}	total power dissipation	$T_{amb} \leq 25^\circ\text{C}$; note 1	-	500	mW
T_{stg}	storage temperature		-65	+150	$^\circ\text{C}$
T_J	junction temperature		-	150	$^\circ\text{C}$
T_{amb}	operating ambient temperature		-65	+150	$^\circ\text{C}$

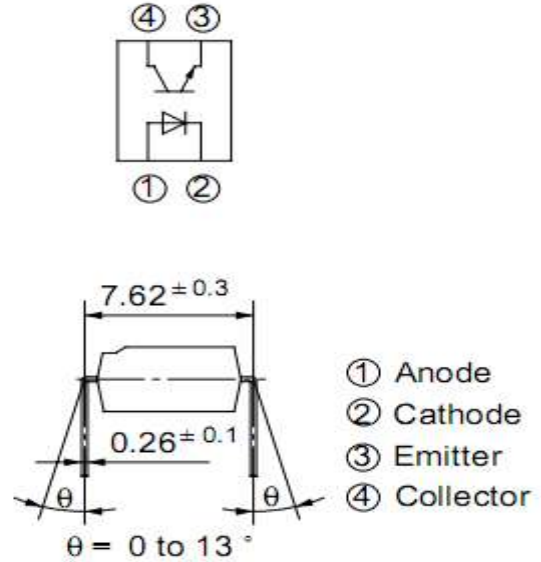
3.6. TRANSISTOR QUANG PC817

- Sơ đồ chân

PC817



Internal connection diagram



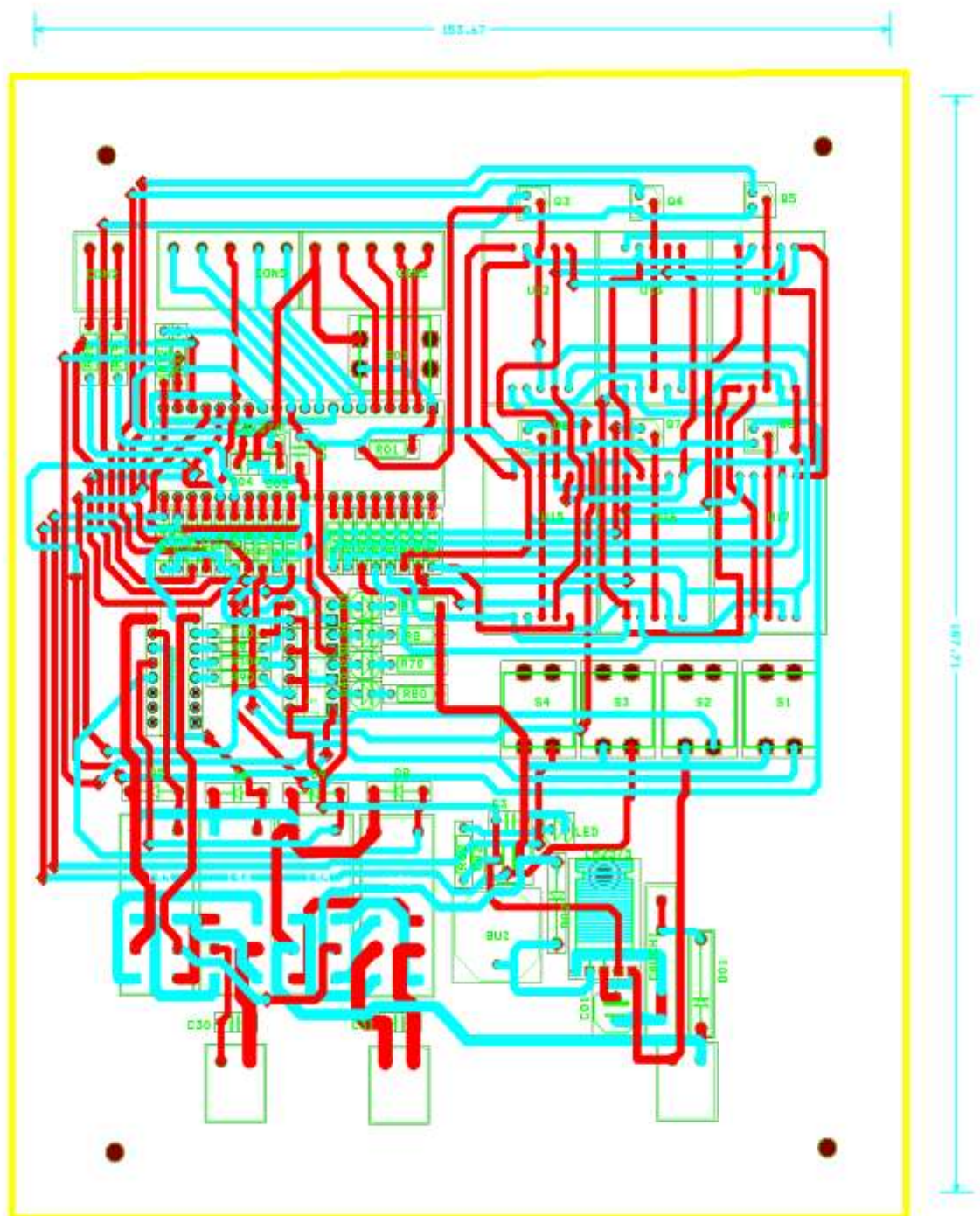
- Thông số vào ra

Parameter		Symbol	Conditions	MIN.	TYP.	MAX.	Unit
Input	Forward voltage	V_F	$I_F = 20\text{mA}$	-	1.2	1.4	V
	Peak forward voltage	V_{FM}	$I_{FM} = 0.5\text{A}$	-	-	3.0	V
	Reverse current	I_R	$V_R = 4\text{V}$	-	-	10	μA
	Terminal capacitance	C_t	$V = 0, f = 1\text{kHz}$	-	30	250	pF
Output	Collector dark current	I_{CEO}	$V_{CE} = 20\text{V}$	-	-	10^{-7}	A
Transfer characteristics	*Current transfer ratio	CTR	$I_F = 5\text{mA}, V_{CE} = 5\text{V}$	50	-	600	%
	Collector-emitter saturation voltage	$V_{CE(sat)}$	$I_F = 20\text{mA}, I_C = 1\text{mA}$	-	0.1	0.2	V
	Isolation resistance	R_{ISO}	DC500V, 40 to 60% RH	5×10^{10}	10^{11}	-	Ω
	Floating capacitance	C_f	$V = 0, f = 1\text{MHz}$	-	0.6	1.0	pF
	Cut-off frequency	f_c	$V_{CE} = 5\text{V}, I_C = 2\text{mA}, R_L = 100\Omega, -3\text{dB}$	-	80	-	kHz
	Response time	Rise time	t_r	$V_{CE} = 2\text{V}, I_C = 2\text{mA}, R_L = 100\Omega$	-	4	18
Fall time		t_f	-		3	18	μs

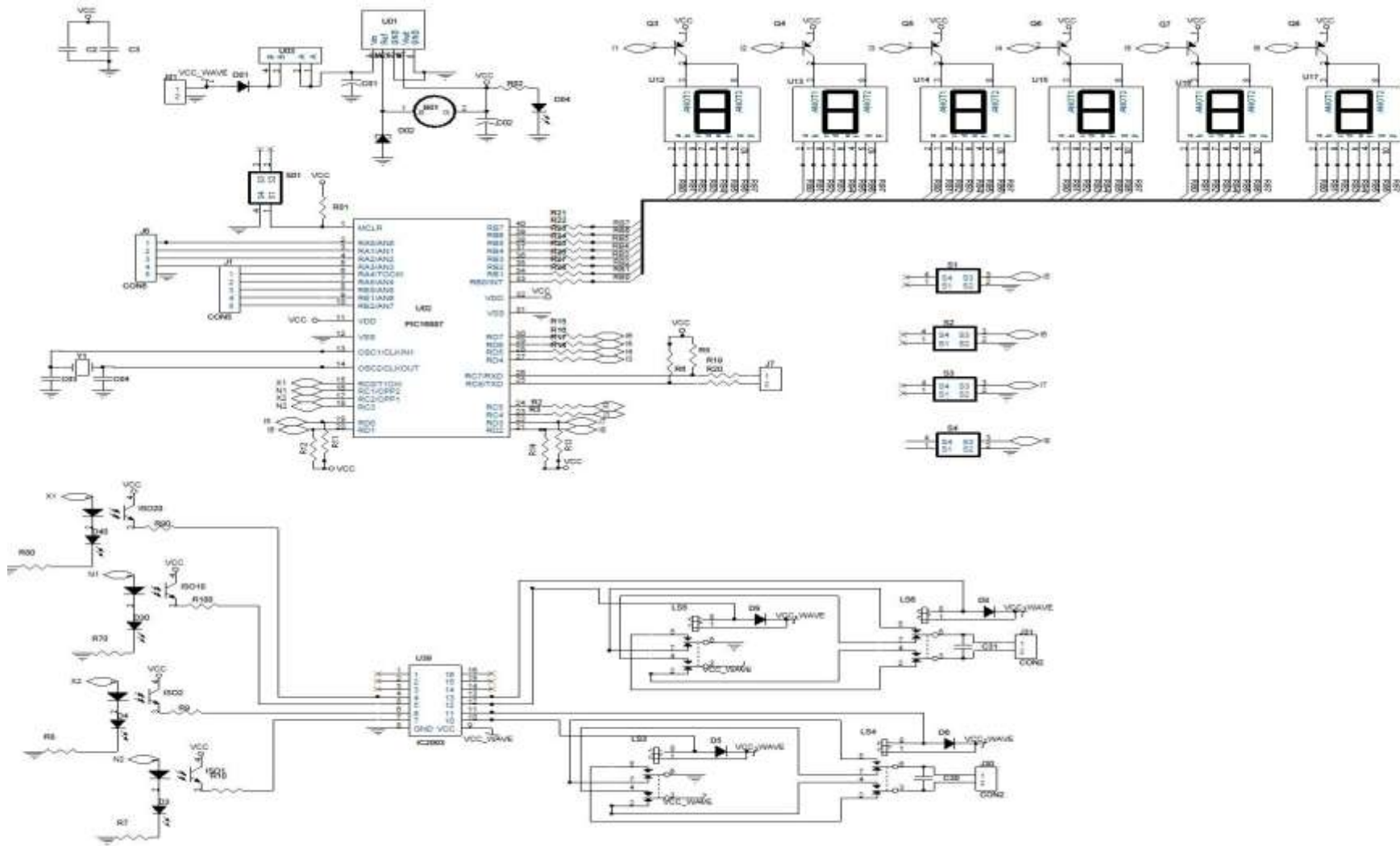
Ngoài ra còn một số linh kiện khác như: điện trở, điôt ,led, Role 12VDC , tụ điện, cầu chì và một số nút nhấndo không có điều kiện cho phép nên em chỉ nêu ra một số linh kiện quan trọng.

B: SƠ ĐỒ MẠCH IN VÀ MẠCH NGUYÊN LÝ VÀ LƯU ĐỒ THUẬT TOÁN

3.7. SƠ ĐỒ MẠCH IN

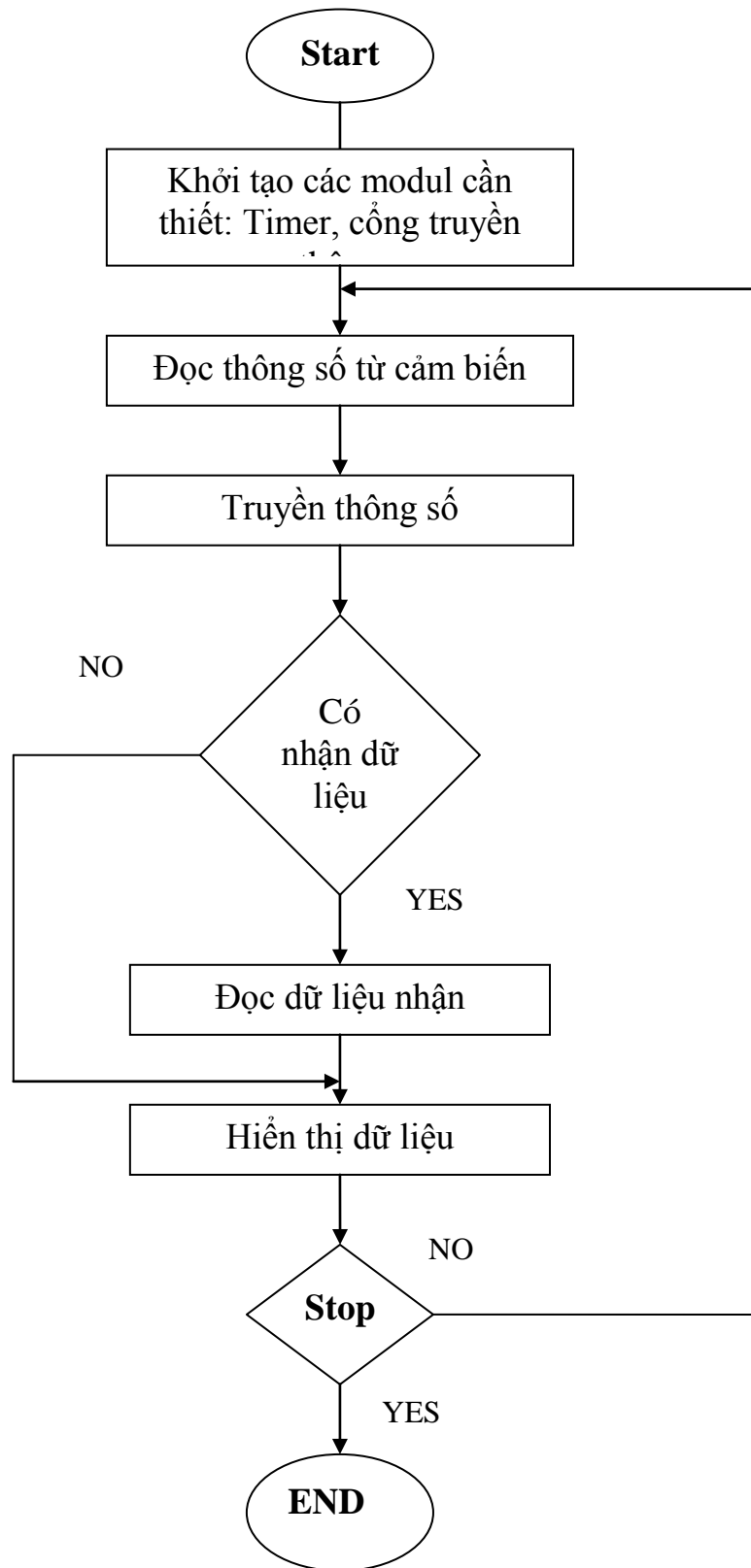


3.8. SƠ ĐỒ MẠCH NGUYÊN LÝ



LƯU ĐỒ THUẬT TOÁN

LƯU ĐỒ THUẬT TOÁN



KẾT LUẬN

Sau thời gian nghiên cứu và đi vào thiết kế đề tài em đã hoàn thành mô hình nghiên cứu với nỗ lực tìm hiểu của bản thân và sự giúp đỡ nhiệt tình của giảng viên hướng dẫn Th.s Nguyễn Trọng Thắng . Đồ án bao gồm những phần sau :

- Chương 1 : Tổng quan về hệ thống thông tin công nghiệp, cơ sở kỹ thuật, bus tiêu biểu.
- Chương 2 : Thiết kế hệ thống truyền thông trên nền vi điều khiển PIC
- Chương 3 : Thiết kế sơ đồ mạch phần cứng: mạch in, mạch nguyên lý, sơ đồ khối.

Trong quá trình nghiên cứu và thực hiện hoàn thành đồ án em đã gặp rất nhiều khó khăn về việc tìm tài liệu cũng như lựa chọn các linh kiện sao cho phù hợp. Phải tìm hiểu các phần mềm chuyên ngành như Ocard, Proteus... Việc test thử mạch chạy sao cho đúng cũng mất nhiều thời gian...

Do thời gian nghiên cứu không nhiều cộng với vốn kiến thức tích lũy trong quá trình học tập còn hạn chế nên đề tài em nghiên cứu chưa đi sâu phân tích được các trường hợp riêng cụ thể mà chỉ xét tổng quát những vấn đề quan trọng. Nếu có thời gian em sẽ đi sâu nghiên cứu cụ thể hơn để hoàn chỉnh đồ án.

Cuối cùng em xin cảm ơn Th.s Nguyễn Trọng Thắng cùng các thầy cô bộ môn và các bạn đã giúp em hoàn thành đồ án của mình!

TÀI LIỆU THAM KHẢO

1. Hoàng Minh Sơn (2001) - *Mạng truyền thông công nghiệp*- NXB Khoa học và kỹ thuật.
2. T.s Nguyễn Mạnh Giang – *Các vi điều khiển PIC*- NXB Khoa học và kỹ thuật
3. Ngô Diên Tập _ *Lập trình ghép nối máy tính* – NXB Khoa học và kỹ thuật
4. Nguyễn Kim Ánh- Nguyễn Mạnh Hà - *Mạng truyền thông công nghiệp*- Giáo trình và bài giảng .

MỤC LỤC

LỜI NÓI ĐẦU	1
CHƯƠNG 1: TỔNG QUAN VỀ HỆ THỐNG THÔNG TIN CÔNG NGHIỆP, CƠ SỞ KỸ THUẬT, BUS TIÊU BIỂU	2
A: GIỚI THIỆU CHUNG.	2
1.1. GIỚI THIỆU CHUNG VỀ MẠNG TRUYỀN THÔNG CÔNG NGHIỆP	2
1.2. VAI TRÒ MẠNG TRUYỀN THÔNG CÔNG NGHIỆP	2
1.3. PHÂN LOẠI VÀ ĐẶC TRƯNG CÁC HỆ THỐNG MẠNG CÔNG NGHIỆP.....	3
B: CƠ SỞ KỸ THUẬT.	5
1.4. CÁC KHÁI NIỆM.....	5
1.4.1 Thông tin, dữ liệu, tín hiệu.....	5
1.4.2 Truyền thông, truyền dữ liệu và truyền tín hiệu.	6
1.4.3 Tính năng thời gian thực.....	7
1.5. CHẾ ĐỘ TRUYỀN TẢI.....	8
1.5.1 Truyền bit song song và nối tiếp.....	9
1.5.2 Truyền đồng bộ và không đồng bộ.....	9
1.5.3 Truyền một chiều, hai chiều toàn phần và gián đoạn.	10
1.5.4 Truyền tải cơ sở, dải mang và truyền tải dải rộng.	10
1.6. CẤU TRÚC MẠNG - TOPOLOGY	11
1.6.1 Cấu trúc bus:	11
1.6.2 Cấu trúc mạch vòng(tích cực).....	12
1.6.3 Cấu trúc hình sao.	14
1.6.4 Cấu trúc cây	15
1.7. KIẾN TRÚC GIAO THỨC.....	15
1.7.1 Dịch vụ truyền thông	15
1.7.2 Giao thức.....	16
1.7.3 Mô hình lớp	16
1.7.4 Kiến trúc giao thức OSI.....	17
1.7.5 Kiến trúc giao thức TCP/IP	17
1.8. TRUY NHẬP BUS	17
1.8.1 Master/ Slave	18
1.8.2 TDMA(Time Division Multiple Access) Phương pháp đa truy nhập phân chia thời gian.....	19
1.8.3 Token Passing:.....	19
1.8.4 CSMA/CD (<i>Carrier Sense Multiple Access with Collision Detection</i>)	20

1.8.5 CSMA/CA (<i>Carrier Sense Multiple Access with Collision Avoidance</i>)	20
1.9. BẢO TOÀN DỮ LIỆU	21
1.10. MÃ HOÁ BIT	24
1.10.1 Các tiêu chuẩn mã hoá bit:	24
1.10.2 NRZ, RZ (Phương pháp điều chế biên độ xung)	25
1.11. CHUẨN TRUYỀN DẪN	26
1.11.1 Phương thức truyền dẫn tín hiệu :	27
1.11.2 RS-232	28
1.11.3 RS-422 :	29
1.11.4 RS-485 : Bảng thông số quan trọng	30
1.12 MÔI TRƯỜNG TRUYỀN DẪN :	30
1.13. THIẾT BỊ LIÊN KẾT MẠNG	31
C CÁC HỆ THỐNG BUS TIÊU BIỂU:	31
1.14. PROFIBUS :	31
1.15. CAN (<i>Controller Area Network</i>)	34
1.16. DIVICENET	38
1.17. MODBUS	40
1.18. INTERBUS -S	42
1.19. AS-I (<i>Actuator Sensor Interface</i>)	44
D. CÁC THÀNH PHẦN HỆ THỐNG MẠNG	47
CHƯƠNG 2. THIẾT KẾ HỆ THỐNG TRUYỀN THÔNG TRÊN NỀN VI ĐIỀU KHIỂN PIC	50
A GIỚI THIỆU CHUNG VỀ VI ĐIỀU KHIỂN PIC	50
2.1. PIC LÀ GÌ?	50
2.2. TẠI SAO CHỌN PIC MÀ KHÔNG CHỌN CÁC VI ĐIỀU KHIỂN KHÁC	50
2.3. KIẾN TRÚC PIC	51
2.4. RISC và CISC	52
2.5. PIPELINING	52
2.6. CÁC DÒNG PIC VÀ CÁCH LỰA CHỌN VI ĐIỀU KHIỂN PIC	54
2.7. NGÔN NGỮ LẬP TRÌNH CHO PIC	55
2.8. MẠCH NẠP PIC	55
B VI ĐIỀU KHIỂN PIC 16F877A	57
2.9. SƠ ĐỒ CHÂN VI ĐIỀU KHIỂN PIC16F877A	57
2.10. MỘT VÀI THÔNG SỐ VI ĐIỀU KHIỂN PIC 16F877A	58
2.12. TỔ CHỨC BỘ NHỚ	61

2.12.1 Bộ nhớ chương trình	61
2.12.2 Bộ nhớ dữ liệu	61
2.12.3 STACK	66
2.13. CÁC CÔNG XUẤT NHẬP CỦA PIC 16F877A.....	66
2.13.1 Port A	67
2.13.2 Port B	67
2.13.3 Port C	68
2.13.4 Port D	68
2.13.4 Port E	68
2.14. TIMER 0.....	69
2.15 TIMER 1.....	71
2.16. TIMER 2.....	72
CHƯƠNG 3 : THIẾT KẾ SƠ ĐỒ MẠCH PHẦN CỨNG, MẠCH IN MẠCH	
NGUYÊN LÝ, SƠ ĐỒ KHỐI ,NGUYÊN LÝ HOẠT ĐỘNG.....	75
A: GIỚI THIỆU CÁC PHẦN TỬ TRONG MẠCH.....	75
3.1. VI ĐIỀU KHIỂN PIC 16F877A	75
3.2. LED 7 THANH.....	79
3.3. IC ĐỆM ULN 2003 APG	80
3.4. LM 2576T	81
3.5. TRANSISTOR A1015	82
3.6. TRANSISTOR QUANG PC817	83
B: SƠ ĐỒ MẠCH IN VÀ MẠCH NGUYÊN LÝ VÀ LƯU ĐỒ THUẬT TOÁN..	84
3.7. SƠ ĐỒ MẠCH IN	84
3.8. SƠ ĐỒ MẠCH NGUYÊN LÝ	85
KẾT LUẬN	88
TÀI LIỆU THAM KHẢO	89