

**BỘ GIÁO DỤC VÀ ĐÀO TẠO
TRƯỜNG ĐẠI HỌC DÂN LẬP HẢI PHÒNG**



ISO 9001:2015

THIẾT KẾ MẠCH ĐẾM SẢN PHẨM

**ĐỒ ÁN TỐT NGHIỆP ĐẠI HỌC HỆ CHÍNH QUY
NGÀNH ĐIỆN TỬ ĐỘNG CÔNG NGHIỆP**

HẢI PHÒNG - 2018

**BỘ GIÁO DỤC VÀ ĐÀO TẠO
TRƯỜNG ĐẠI HỌC DÂN LẬP HẢI PHÒNG**



ISO 9001:2015

THIẾT KẾ MẠCH ĐẾM SẢN PHẨM

ĐỒ ÁN TỐT NGHIỆP ĐẠI HỌC HỆ CHÍNH QUY

NGÀNH ĐIỆN TỰ ĐỘNG CÔNG NGHIỆP

Sinh viên: Nguyễn Thanh Tân

Người hướng dẫn: Th.S Đỗ Thị Hồng Lý

HẢI PHÒNG - 2018

Cộng hoà xã hội chủ nghĩa Việt Nam
Độc lập – Tự Do – Hạnh Phúc
-----o0o-----
BỘ GIÁO DỤC VÀ ĐÀO TẠO
TRƯỜNG ĐẠI HỌC DÂN LẬP HẢI PHÒNG

NHIỆM VỤ ĐỀ TÀI TỐT NGHIỆP

Sinh viên : Nguyễn Thanh Tân – MSV : 1613102002
Lớp : ĐCL 1001- Ngành Điện Tự Động Công Nghiệp
Tên đề tài : **Thiết kế mạch đếm sản phẩm**

NHIỆM VỤ ĐỀ TÀI

1. Nội dung và các yêu cầu cần giải quyết trong nhiệm vụ đề tài tốt nghiệp (về lý luận, thực tiễn, các số liệu cần tính toán và các bản vẽ).

.....

.....

.....

.....

.....

.....

.....

.....

2. Các số liệu cần thiết để thiết kế, tính toán

.....

.....

.....

.....

.....

.....

.....

.....

.....

3. Địa điểm thực tập tốt nghiệp.....:

.....

.....

.....

.....

.....

CÁC CÁN BỘ HƯỚNG DẪN ĐỀ TÀI TỐT NGHIỆP

Người hướng dẫn thứ nhất:

Họ và tên :
Học hàm, học vị :
Cơ quan công tác : Trường Đại học dân lập Hải Phòng
Nội dung hướng dẫn : Toàn bộ đề tài

Người hướng dẫn thứ hai:

Họ và tên :
Học hàm, học vị :
Cơ quan công tác :
Nội dung hướng dẫn :

Đề tài tốt nghiệp được giao ngày tháng năm 2018.

Yêu cầu phải hoàn thành xong trước ngày.....tháng.....năm 2018

Đã nhận nhiệm vụ Đ.T.T.N
Sinh viên

Đã giao nhiệm vụ Đ.T.T.N
Cán bộ hướng dẫn Đ.T.T.N

Nguyễn Thanh Tân

Th.S Đỗ Thị Hồng Lý

Hải Phòng, ngày.....tháng.....năm 2018

HIỆU TRƯỞNG

GS.TS.NGƯT TRẦN HỮU NGHỊ

PHẦN NHẬN XÉT TÓM TẮT CỦA CÁN BỘ HƯỚNG DẪN

1. Tinh thần thái độ của sinh viên trong quá trình làm đề tài tốt nghiệp.

.....

.....

.....

.....

2. Đánh giá chất lượng của Đ.T.T.N (so với nội dung yêu cầu đã đề ra trong nhiệm vụ Đ.T.T.N, trên các mặt lý luận thực tiễn, tính toán giá trị sử dụng, chất lượng các bản vẽ..)

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

3. Cho điểm của cán bộ hướng dẫn
(*Điểm ghi bằng số và chữ*)

Ngày.....tháng.....năm 2018
Cán bộ hướng dẫn chính
(*Ký và ghi rõ họ tên*)

**NHẬN XÉT ĐÁNH GIÁ CỦA NGƯỜI CHẤM PHẢN BIỆN
ĐỀ TÀI TỐT NGHIỆP**

1. Đánh giá chất lượng đề tài tốt nghiệp về các mặt thu thập và phân tích số liệu ban đầu, cơ sở lý luận chọn phương án tối ưu, cách tính toán chất lượng thuyết minh và bản vẽ, giá trị lý luận và thực tiễn đề tài.

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

2. Cho điểm của cán bộ chấm phản biện
(*Điểm ghi bằng số và chữ*)

.....

.....

.....

.....

.....

Ngày.....tháng.....năm 2018
Người chấm phản biện
(*Ký và ghi rõ họ tên*)

MỤC LỤC

LỜI MỞ ĐẦU	1
CHƯƠNG 1	2
GIỚI THIỆU LINH KIỆN	2
1.1-Transistor	2
1.2- Điện trở:	3
1.3-Tụ điện:	4
1.4-Diode:.....	5
1.5-Led:	5
1.6-Led 7 đoạn:	5
1.7-IC LM358N.....	7
1.8-Khối vi điều khiển:.....	8
1.8.1-Sơ lược về vi điều khiển.....	8
1.8.2-Sơ đồ bên trong của vi điều khiển:	9
1.8.3-Khảo sát, chức năng từng chân:	10
1.8.4-Bộ nhớ trên chip:.....	14
1.8.5-Các Bộ định thời/Bộ đếm:	15
1.8.6-Điều khiển ngắt:	16
1.8.7-Các chế độ làm việc của CPU	16
CHƯƠNG 2	19
GIỚI THIỆU CÁC KHỐI TRONG SƠ ĐỒ	19
2.1-Sơ đồ khối.	19
Hình 2.1: Sơ đồ khối.	19
2.2. Khối nguồn.	19
2.3.Khối xử lý:	19
2.4. Khối nhận biết sản phẩm:	20
2.5. Khối hiển thị:.....	21
2.6. Bộ khuếch đại:.....	22
2.7. Sơ đồ nguyên lý:.....	23

CHƯƠNG 3	25
CHẠY CHƯƠNG TRÌNH	25
3.1. Lưu đồ giải thuật	25
3.2. Chương trình nguồn.....	26
KẾT LUẬN	40
TÀI LIỆU THAM KHẢO	42

DANH MỤC HÌNH

Hình 1.1: Sơ đồ chân ra của vi điều khiển AT89C51	8
Hình 1.2: Sơ đồ khối của AT89C51	9
Hình 1.3: Sơ đồ bên trong vi điều khiển	9
Hình 1.4: Các cấu hình chân ra của AT89C51	10
Hình 1.5: Mạch reset tác động bằng tay và tự động reset khi khởi động máy ..	12
Hình 2.2: Sơ đồ phát mạch	20
Hình 2.3: Sơ đồ mạch thu	21
Hình 2.4: Khối hiển thị	22

DANH MỤC BẢNG

Bảng 1.1: Giá trị Led 7 Đoạn	7
Bảng 1.2: Chức năng các chân	12
Bảng 1.3: Trạng thái của các chân.....	17
Bảng 1.4: Các bit khóa bộ nhớ chương trình.....	18

LỜI MỞ ĐẦU

Ngày nay, khái niệm kỹ thuật số đã trở thành quen thuộc với nhiều người, bởi vì sự phát triển của ngành kỹ thuật số này đã có ảnh hưởng rất lớn đến ngành kinh tế toàn cầu. Có người đã nêu lên ý tưởng gọi nền kinh tế chúng ta là “nền kinh tế kỹ thuật số”, “số hóa” đã gần như vượt khỏi rãnh giới của một thuật ngữ kỹ thuật. Nhờ có ưu điểm của xử lý số như độ tin cậy trong truyền dẫn, tính đa thích nghi và kinh tế của nhiều phần mềm khác nhau, tính tiện lợi trong điều khiển và khai thác mạng.

Hiện nay là thời đại khoa học kỹ thuật phát triển, các nhà máy xí nghiệp sản xuất sản phẩm của mình trên các băng chuyền hiện đại, sản phẩm xuất ra rất nhanh và nhiều vì vậy việc đếm xem có bao nhiêu sản phẩm đã hoàn tất xuất ra từ băng chuyền cuối cùng thì người công nhân khó có thể thực hiện chính xác được. Vì vậy mạch đếm sản phẩm sẽ giúp ta kiểm soát được sản lượng cho ra tại mỗi băng chuyền. Không chỉ vậy, hệ thống đếm sản phẩm còn giúp người lao động bớt phần mệt nhọc chân tay mà cho phép tăng hiệu suất lao động lên gấp nhiều lần, đồng thời đảm bảo được độ chính xác cao.

Với lý do đó đề tài “**Thiết kế mạch đếm sản phẩm**” do cô giáo Đỗ Thị Hồng Lý hướng dẫn đã được thực hiện. Đề tài gồm các nội dung sau:

Chương 1: Giới thiệu linh kiện

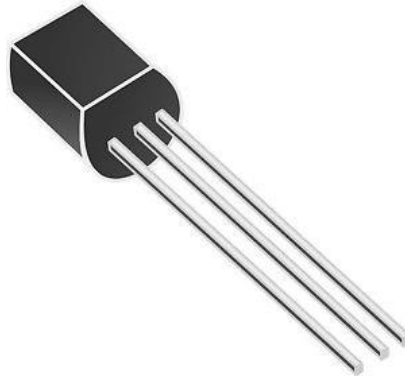
Chương 2: Giới thiệu các khối trong sơ đồ thi công.

Chương 3: Chạy chương trình.

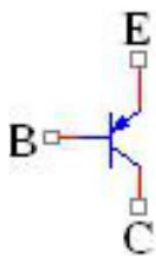
CHƯƠNG 1.

GIỚI THIỆU LINH KIỆN

1.1-Transistor

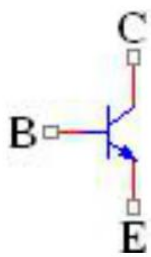


A1015 là Transistor BJT gồm ba miền tạo bởi hai tiếp giáp p-n, trong đó



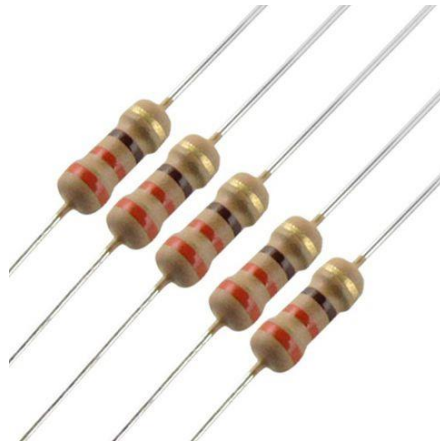
miền giữa là bán dẫn loại n miền có mật độ tạp chất cao nhất, kí hiệu p^+ là miền phát (emitter). Miền có mật độ tạp chất thấp hơn, kí hiệu là p, gọi là miền thu (collector). Miền giữa có mật độ tạp chất rất thấp, kí hiệu là n, gọi là miền gốc (base). Ba chân kim loại gắn với ba miền tương ứng với ba cực emitter (E), base (B), collector (C) của transistor

C1815 là transistor BJT gồm ba miền tạo bởi hai tiếp giáp p-n, trong đó



miền giữa là bán dẫn loại n miền có mật độ tạp chất cao nhất, kí hiệu n^+ là miền phát (emitter). Miền có mật độ tạp chất thấp hơn, kí hiệu là n, gọi là miền thu (collector). Miền giữa có mật độ tạp chất rất thấp, kí hiệu là p, gọi là miền gốc (base). Ba chân kim loại gắn với ba miền tương ứng với ba cực emitter (E), base (B), collector (C) của transistor

1.2- Điện trở:



Điện trở là linh kiện thụ động có tác dụng cản trở cả dòng và áp
Điện trở được sử dụng rất nhiều trong các mạch điện tử.

$$R = \rho \ell / S$$

Trong đó ρ là điện trở suất của vật liệu

S là tiết diện của dây

ℓ là chiều dài của dây

Điện trở là đại lượng vật lý đặc trưng cho tính chất cản trở dòng điện của một vật thể dẫn điện. Nó được định nghĩa là tỉ số của hiệu điện thế giữa hai đầu vật thể đó với cường độ dòng điện đi qua nó:



$$I = U/R$$

Trong đó:

U : là hiệu điện thế giữa hai đầu vật dẫn điện, đo bằng vôn (V)

I : là cường độ dòng điện đi qua vật dẫn điện, đo bằng ampe (A)

R : là điện trở của vật dẫn điện đo bằng Ohm (Ω)

Ký hiệu



Resistor

Ứng dụng

Điện trở được dùng để chế tạo ra dịch mức điện áp giữa hai điểm khác nhau của mạch

1.3-Tụ điện:



Tụ điện là một linh kiện thụ động cấu tạo của tụ điện là hai bản cực bằng kim loại ghép cách nhau một khoảng d ở giữa hai bản tụ là dung dịch hay chất điện môi cách điện có điện dung C . Đặc điểm của tụ là cho dòng điện xoay chiều đi qua, ngăn cản dòng điện một chiều.

Công thức tính điện dung của tụ: $C = \epsilon \cdot S/d$

Trong đó: ϵ là hằng số điện môi

S là diện tích bề mặt tụ m^2

D là bề dày chất điện môi

Tụ điện phẳng gồm hai bản phẳng kim loại diện tích song song và cách nhau một khoảng d

Cường độ điện trường bên trong tụ có trị số

$E =$

Trong đó: $\epsilon_0 = 8,86 \cdot 10^{-12} C^2/N \cdot m^2$ là hằng số điện môi của chân không

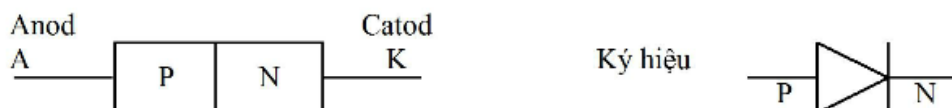
E là hằng số điện môi tương đối của môi trường; đối với chân không $\epsilon=1$, giấy tần dầu bằng 3,6; gốm bằng 5,5; mica bằng 4 ÷ 5

1.4-Diode:



Diode được cấu tạo gồm hai lớp bán dẫn p-n được ghép với nhau. Diode chỉ hoạt động dẫn dòng điện từ cực anod sang catot khi áp trên hai chân được phân cực thuận ($V_p > V_n$) và lớn hơn điện áp ngưỡng. Khi phân cực ngược ($V_p < V_n$) thì Diode không dẫn điện.

Là diode thông dụng nhất, dùng để đổi điện xoay chiều – thường là điện thế 50Hz đến 60Hz sang điện thế một chiều. Diode này tùy loại có thể chịu đựng được dòng từ vài trăm mA đến loại công suất cao có thể chịu được đến vài trăm ampere. Diode chỉnh lưu chủ yếu là loại Si. Hai đặc tính kỹ thuật cơ bản của Diode chỉnh lưu là dòng thuận tối đa và đi ngược tối đa (Điện áp sụp đổ). Hai đặc tính này do nhà sản xuất cho biết

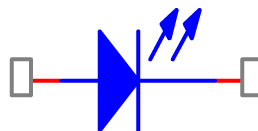


Hình 13

1.5-Led:

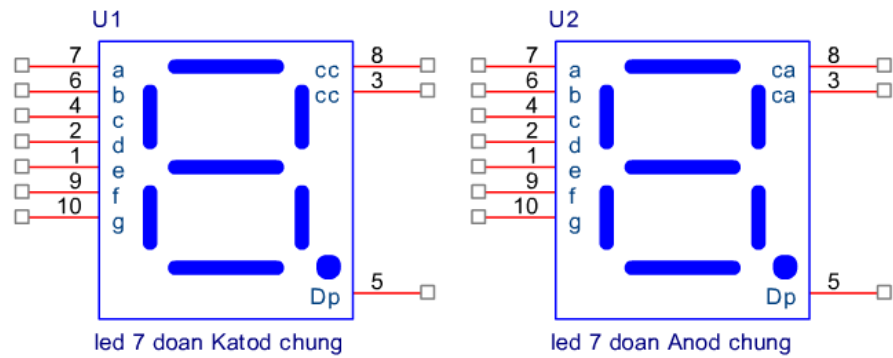
Led là một dạng diode phát quang, khi phân cực thuận thì led phát sáng, phân cực nghịch thì không phát sáng.

Ký hiệu



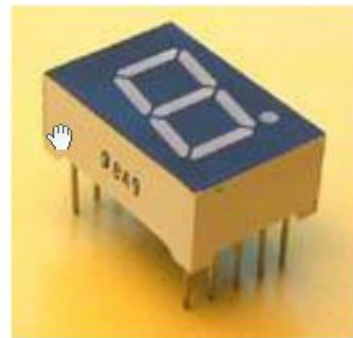
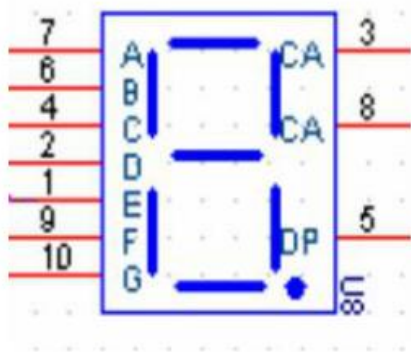
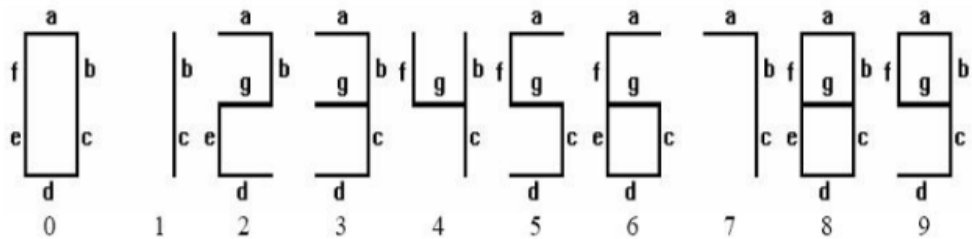
1.6-Led 7 đoạn:

Là 7 con led sắp xếp lại theo hình mẫu. Một chân của các con led được nối chung với nhau (Anod chung hoặc Katod chung), các chân còn lại được đưa ra ngoài để phân cực các con led.

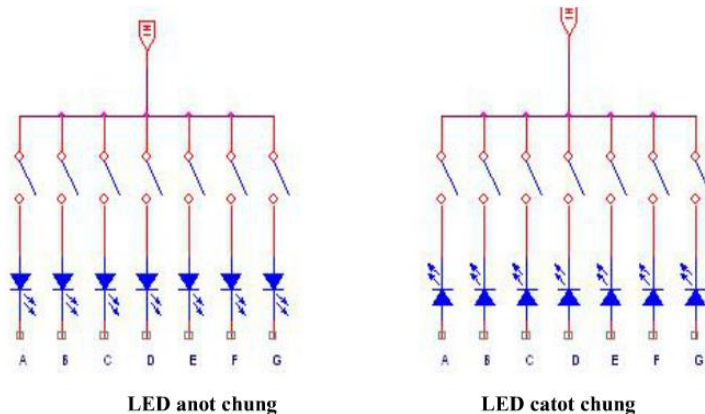


Đây là loại đèn dùng hiển thị các số từ 0 đến 9, đèn gồm 7 đoạn a, b, c, d, e, f, g bên dưới mỗi đoạn là một led (đèn nhỏ) hoặc một nhóm led mắc song song (đèn lớn). Quy ước các đoạn bởi:

Khi một tổ hợp các đoạn cháy sáng sẽ tạo được một con số thập phân 0-9.



Led 7 đoạn có hai loại là loại anot chung và catot chung



Đối với led 7 đoạn ta phải tính toán sao cho mỗi đoạn của led 7 đoạn có dòng điện từ 10 đến 20mA. Với điện áp 5V thì điện trở cần dùng là 270Ω; công suất là 1,4W

Bảng 1.1: Giá trị Led 7 Đoạn

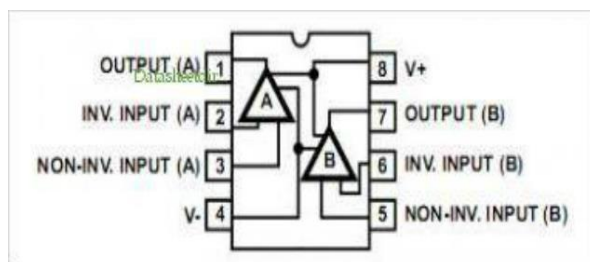
Số thập phân	Bảng mã BCD			
	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0

1.7-IC LM358N

LM358N dùng so sánh điện áp, chuyển đổi Analog – Digital, cảm biến đo lường, khuếch đại

Sơ đồ chân và cấu trúc

Chân 1: OUTPUT 1 (ngõ ra 1)



Chân 2: INVERTING INPUT (ngõ vào đảo)

Chân 3: INVERTING INPUT 2 (ngõ vào đảo 2)

Chân 4: V_{cc-} (chân nguồn âm)

Chân 5: NON –INVERTING INPUT 2 (ngõ vào đảo 2)

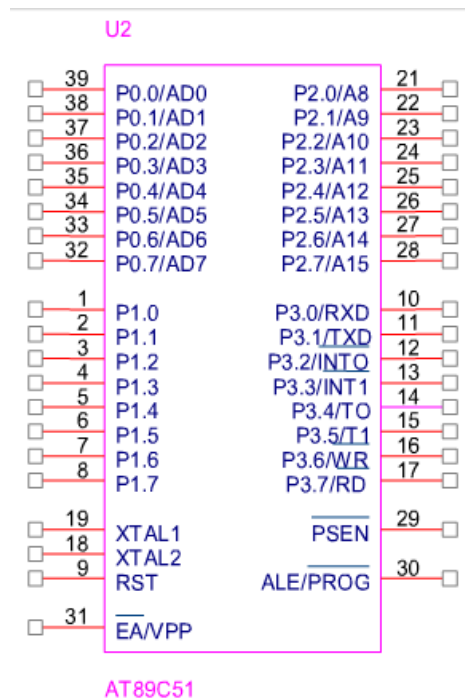
Chân 6: OUTPUT 2 (ngõ ra 2)

Chân 7 V_{cc+} (nguồn dương)

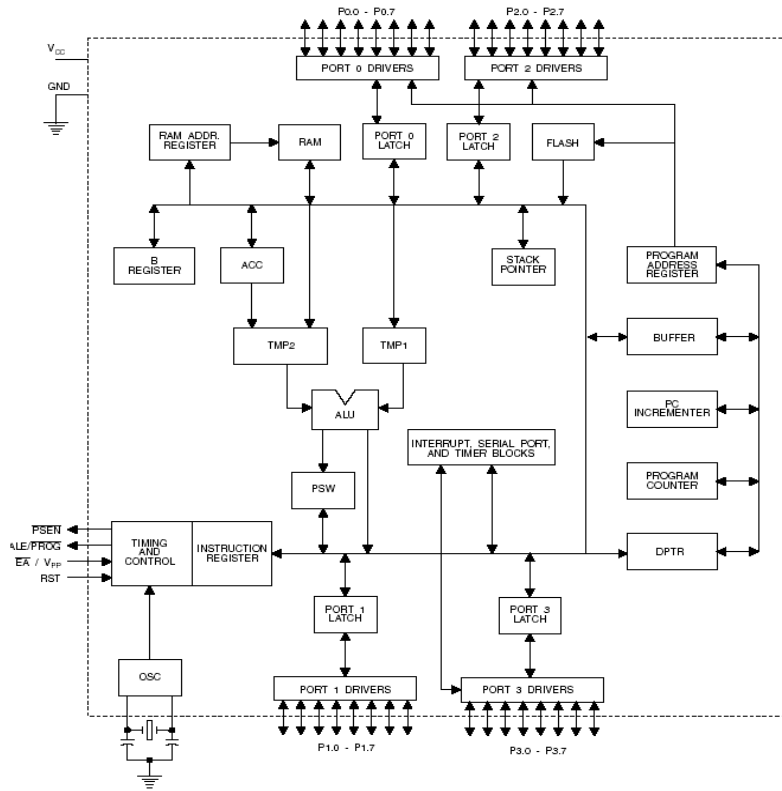
1.8-Khối vi điều khiển:

1.8.1-Sơ lược về vi điều khiển

Vi điều khiển **AT89C51** là một bộ vi xử lý 8 bit, loại CMOS, có tốc độ cao và công suất thấp với bộ nhớ Flash có thể lập trình được. Nó được sản xuất với công nghệ bộ nhớ không bay hơi mật độ cao của hãng Atmel, và tương thích với họ MCS-51TM về chân ra và tập lệnh. **AT89C51** có 40 chân, được đóng gói theo tiêu chuẩn PDIP.

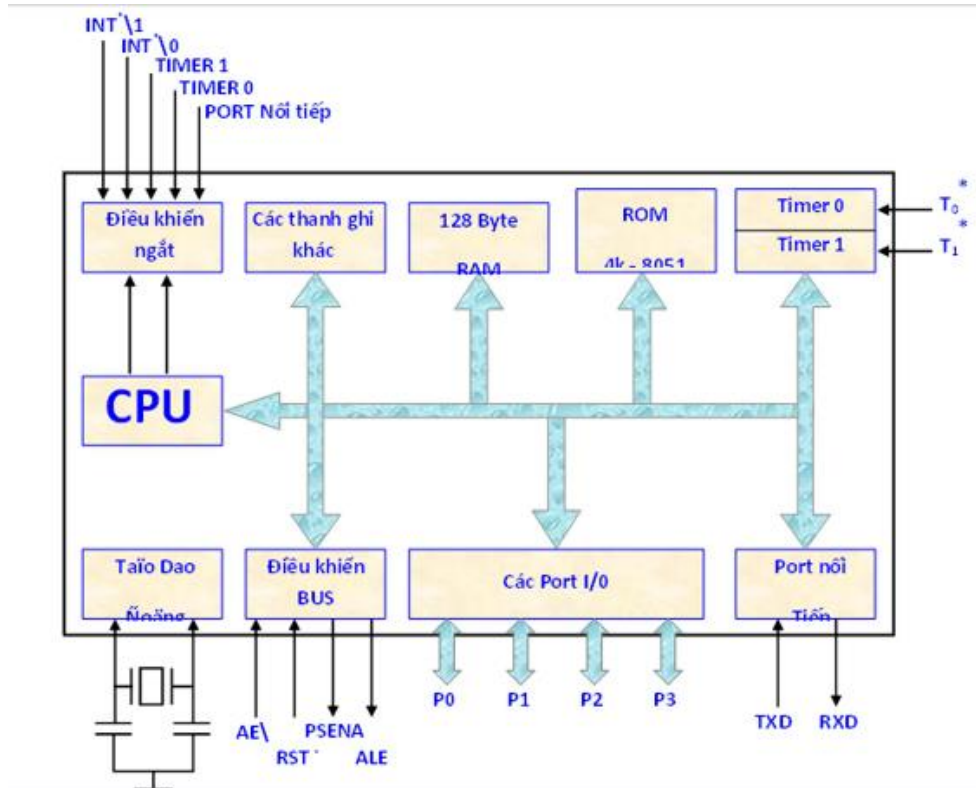


Hình 1.1: Sơ đồ chân ra của vi điều khiển AT89C51



Hình 1.2: Sơ đồ khối của AT89C51

1.8.2-Sơ đồ bên trong của vi điều khiển:



Hình 1.3: Sơ đồ bên trong vi điều khiển

- Các đặc điểm tiêu chuẩn

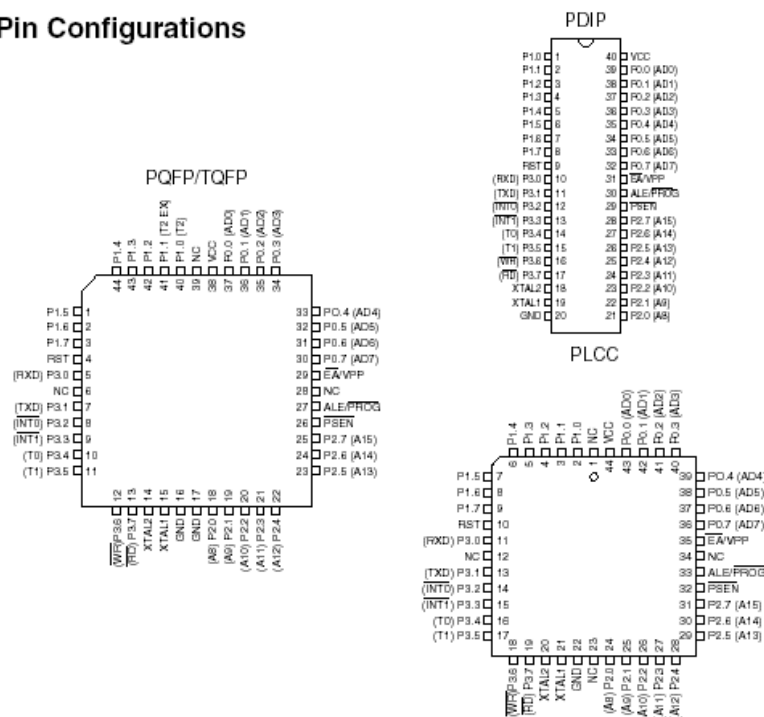
AT89C51 có đặc trưng cơ bản như sau:

- 4 Kbyte Flash
- 128 byte RAM, 32 đường xuất nhập
- hai bộ định thời/đếm 16-bit, một cấu trúc ngắt hai mức ưu tiên và 5 nguyên nhân ngắt
- một *port* nối tiếp song công
- mạch dao động và tạo xung *clock* trên chip
- AT89C51 được thiết kế với logic tĩnh cho hoạt động có tần số giảm xuống 0 và hỗ trợ hai chế độ tiết kiệm năng lượng được lựa chọn bằng phần mềm. Chế độ nghỉ dừng CPU trong khi vẫn cho phép RAM, các bộ định thời/đếm, *Port* nối tiếp và hệ thống ngắt tiếp tục hoạt động. Chế độ nguồn giảm duy trì nội dung của RAM nhưng không cho mạch dao động cung cấp xung *clock* nhằm vô hiệu hóa các hoạt động khác của chip cho đến khi có *reset* cứng tiếp theo.

Chế độ nghỉ dừng CPU trong khi vẫn cho phép RAM, các bộ định thời/đếm, *Port* nối tiếp và hệ thống ngắt tiếp tục hoạt động. Chế độ nguồn giảm duy trì nội dung của RAM nhưng không cho mạch dao động cung cấp xung *clock* nhằm vô hiệu hóa các hoạt động khác của chip cho đến khi có *reset* cứng tiếp theo.

1.8.3-Khảo sát, chức năng từng chân:

Pin Configurations



Hình 1.4: Các cấu hình chân ra của AT89C51

a. Nhóm chân nguồn nuôi:

- nguồn nuôi +5V (chân số 40)

- nối đất (chân số 20)

b. Chức năng của các chân tín hiệu (các cổng vào/ra song song)

- 8051 có 4 cổng vào/ra song song 8 bit là Port0, Port1, Port2, Port3.

- Các cổng này có thể sử dụng như là cổng vào hoặc ra.

Cổng Port 0 (32-39)

Port 0 là port xuất nhập 8-bit hai chiều. *Port 0* cũn được cấu hình làm bus địa chỉ (byte thấp) và bus dữ liệu đa hợp trong khi truy xuất bộ nhớ dữ liệu ngoài và bộ nhớ chương trình ngoài. *Port 0* cũng nhận các byte mô trong khi lập trình cho Flash và xuất các byte mô trong khi kiểm tra chương trình (Cọc điện trở kộ lờn bờn ngoài đượ cần đần trong khi kiểm tra chương trình).

Cổng Port 1(1-8)

Port 1 là *port* xuất nhập 8-bit hai chiều. *Port 1* cũng nhận byte địa chỉ thấp trong thời gian lập trình cho Flash.

Cổng Port 2 (21-28)

Port 2 là *port* xuất nhập 8-bit hai chiều. *Port 2* tạo ra các byte cao của bus địa chỉ trong thời gian tìm nạp lệnh từ bộ nhớ chương trình ngoài và trong thời gian truy xuất bộ nhớ dữ liệu ngoài sử dụng các địa chỉ 16-bit. Trong thời gian truy xuất bộ nhớ dữ liệu ngoài sử dụng các địa chỉ 8-bit, *Port 2* phát các nội dung của thanh ghi chức năng đặc biệt P2. *Port 2* cũng nhận các bit địa chỉ cao và vài tín hiệu điều khiển trong thời gian lập trình cho Flash và kiểm tra chương trình.

Cổng Port 3 (10-17)

Port 3 là *Port* xuất nhập 8-bit hai chiều. *Port 3* cũng còn làm các chức năng khác của AT89C51. Các chức năng này được liệt kê như sau:

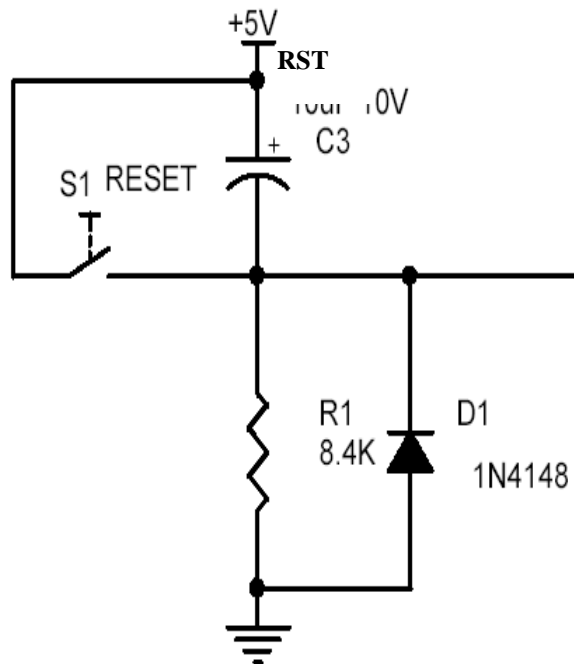
Bảng 1.2: Chức năng các chân

Chân	Tên	Chức Năng
P3.0	RxD	Ngõ vào Port nối tiếp
P3.1	TxD	Ngõ vào Port nối tiếp
P3.2	$\overline{INT0}$	Ngõ vào ngắt ngoài 0
P3.3	$\overline{INT1}$	Ngõ vào ngắt ngoài 1
P3.4	T0	Ngõ vào bên ngoài của bộ định thời 1
P3.5	T1	Ngõ vào bên ngoài của bộ định thời 0
P3.6	\overline{WR}	Điều khiển ghi bộ nhớ dữ liệu ngoài
P3.7	\overline{RD}	Điều khiển đọc bộ nhớ dữ liệu ngoài

Port 3 cũng nhận một vài tín hiệu điều khiển cho việc lập trình Flash và kiểm tra chương trình.

- RST (9)

Ngõ vào *reset*. Mức cao trên chân này trong 2 chu kỳ máy trong khi bộ dao động đang hoạt động sẽ *reset* AT89C51.



Hình 1.5: Mạch reset tác động bằng tay và tự động reset khi khởi

động máy

- $\overline{ALE}/\overline{PROG}$ (30)

ALE là một xung ngõ ra để chốt byte thấp của địa chỉ trong khi truy xuất bộ nhớ ngoài. Chân này cũng làm ngõ vào xung lập trình (\overline{PROG}) trong thời gian lập trình flash.

Khi hoạt động bình thường, xung ngõ ra ALE luôn có tần số không đổi là 1/6 tần số của mạch dao động, có thể được dùng cho các mục đích định thời từ bên ngoài vào tạo xung clock. Tuy nhiên, lưu ý là một xung ALE sẽ bị bỏ qua trong mỗi một chu kỳ truy xuất bộ nhớ dữ liệu ngoài.

Khi cần, hoạt động ALE có thể được vô hiệu hoá bằng cách set bit 0 của thanh ghi chức năng đặc biệt có địa chỉ 8Eh. Khi bit này được set, ALE chỉ tích cực trong thời gian thực hiện lệnh MOVX hoặc MOVC. Ngược lại, chân này sẽ được kéo lên cao. Việc set bit không cho phép hoạt động chốt byte thấp của địa chỉ sẽ không có tác dụng nếu bộ vi điều khiển đang ở chế độ thực thi chương trình ngoài.

- \overline{PSEN} (29)

\overline{PSEN} (Program Store Enable) là xung điều khiển truy xuất bộ nhớ chương trình ngoài. Khi AT89C52 đang thực thi chương trình từ bộ nhớ chương trình ngoài, \overline{PSEN} được kích hoạt hai lần mỗi chu kỳ máy, nhưng hai hoạt động \overline{PSEN} sẽ bị bỏ qua mỗi khi truy cập bộ nhớ dữ liệu ngoài.

- \overline{EA}/V_{pp} (31)

\overline{EA} (External Access Enable) là chân cho phép truy xuất bộ nhớ chương trình ngoài (bắt đầu từ địa chỉ từ 0000H đến FFFFH).

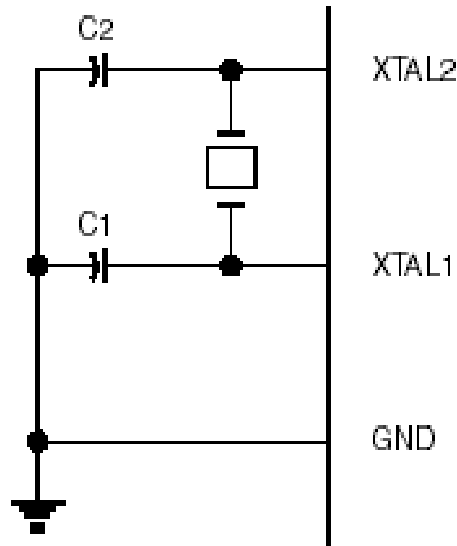
$\overline{EA} = 0$ cho phép truy xuất bộ nhớ chương trình ngoài, ngược lại $\overline{EA} = 1$ sẽ thực thi chương trình bên trong *chip*.

Tuy nhiên, lưu ý rằng nếu bit khoá 1 (lock-bit 1) được lập trình, \overline{EA} sẽ được chốt bên trong khi reset.

Chân này cũng nhận điện áp cho phép lập trình $V_{pp}=12V$ khi lập trình Flash (khi đó @iUn áp lập trình 12V được chọn).

- XTAL1 và XTAL2

XTAL1 và XTAL2 là hai ngõ vào và ra của một bộ khuếch đại đảo của mạch dao động, được cấu hình để dùng như một bộ dao động trên chip.



Note: C1, C2 = 30 pF \pm 10 pF for Crystals
= 40 pF \pm 10 pF for Ceramic Resonators

Mạch tạo dao động cho bộ tạo dao động trên chip AT89C51

Tần số của dao động thường là 12MHz. Khi đó tụ có giá trị 33pF. Chân V_{cc} nối đến +5V của nguồn cấp, chân GND nối đất

1.8.4-Bộ nhớ trên chip:

RAM trong:

- Bộ vi điều khiển 8051 có 128 byte RAM trong bao gồm 32 byte đầu tiên (00H đến 1FH) dành cho các thanh ghi, 16 byte tiếp theo (20H đến 2FH) là vùng RAM định địa chỉ theo bit, sau đó là 80 byte RAM nháp.
- Vùng thanh ghi có 32 byte, chia thành 4 khối (bank 0 đến bank 3), mỗi khối có 8 thanh ghi (từ R0 đến R7)
- Ở vùng RAM định địa chỉ theo bit, các bit được đánh địa chỉ từ 00H đến 7FH.

- Các thanh ghi chuyên dụng (SFRs – Special Function Registers):

Các thanh ghi này có địa chỉ từ 80H đến FFH. Chúng chứa nội dung của các thanh ghi điều khiển.

ROM:

Bộ vi điều khiển AT89C51 có 4KB FLASH lập trình được.

ROM luôn chiếm vùng địa chỉ thấp nhất trong bộ nhớ chương trình.

1.8.5-Các Bộ định thời/Bộ đếm:

Bộ vi điều khiển 8051 có 2 Bộ định thời/Bộ đếm là Bộ định thời/Bộ đếm 0 và Bộ định thời/Bộ đếm 1. Chúng có thể hoạt động như là bộ định thời hoặc bộ đếm.

Chế độ hoạt động của các Bộ định thời/Bộ đếm được cất trong các thanh ghi TMOD

Nếu bit **GATE** xóa, các Bộ định thời/Bộ đếm được phép hoạt động khi bit TR# tương ứng trong thanh ghi TCON thiết lập. Ngược lại nếu **GATE** thiết lập thì các Bộ định thời/Bộ đếm chỉ hoạt động khi các chân INT# tương ứng tích cực (mức thấp).

Bit **C/T#** dùng để lựa chọn chế độ hoạt động bộ đếm hay bộ định thời. Nếu được thiết lập thì nó hoạt động theo chế độ đếm sự kiện, lúc này nguồn xung có bộ đếm là xung ngoài đưa vào từ chân T# tương ứng (chân 14,15). Nếu bị xóa, thì nó hoạt động theo chế độ định thời với nguồn xung là xung tạo ra từ bộ tạo dao động trên chip sau khi chia 12.

Các bit **M0,M1** dùng để xác định chế độ đếm cho các bộ đếm: Sự hoạt động của các Bộ định thời/Bộ đếm được điều khiển bởi thanh ghi TCON:

Các bit **TR#** cho phép Bộ định thời/Bộ đếm hoạt động (nếu được thiết lập) hoặc không cho phép chúng hoạt động (nếu bị xóa).

Các bit TF# là các cờ tràn tương ứng với các Bộ định thời/Bộ đếm. Chúng được thiết lập khi xảy ra tràn và được xóa bằng phần cứng nếu khi đó bộ xử lý rẽ nhanh đến chương trình phục vụ ngắt tương ứng.

Các bit **IT#** là bit ngắt. Thiết lập **IT#** tạo ra chế độ ngắt cạnh, chân **INT#** nhận ra một ngắt khi nhận ra một sườn âm (\downarrow) của tín hiệu vào. Xóa **IT#** tạo ra chế độ ngắt mức, tức là ngắt được tạo ra khi tín hiệu vào ở mức thấp (0). Ở chế độ ngắt mức, khi tín hiệu vào còn ở mức thấp thì ngắt được tạo ra liên tục cho đến khi tín hiệu vào chuyển lên mức cao hoặc thiết lập **IT#**.

Các bit **IE#** là các cờ ngắt cạnh, được thiết lập khi dò thấy ngắt cạnh.

1.8.6-Điều khiển ngắt:

Bộ vi điều khiển 8051 có nguồn ngắt: **TF0,TF1,INT0,INT1** và ngắt do công nối tiếp. Sự điều khiển hoạt động ngắt được cất trong 2 thanh ghi là thanh ghi cho phép ngắt **IE**(Interrupt Enable) và thanh ghi xác định thứ tự ưu tiên ngắt **IP** (Interrupt Priority). Các bit và chức năng của chúng trong thanh ghi **IE** như sau (thiết lập là cho phép, xóa là cấm).

1.8.7-Các chế độ làm việc của CPU

*** Chế độ nghỉ**

Trong chế độ nghỉ, CPU tự đi vào trạng thái ngủ trong khi tất cả các ngoại vi bên trong *chip* vẫn tích cực. Chế độ này được điều khiển bởi phần mềm. Nội dung của RAM trên *chip* và của tất cả các thanh ghi chức năng đặc biệt vẫn không đổi trong khi thời gian tồn tại chế độ này. Chế độ nghỉ có thể được kết thúc bởi một ngắt bất kỳ nào được phép hoặc bằng cách *reset* cứng.

Ta cần lưu ý rằng khi chế độ nghỉ được kết thúc bởi một *reset* cứng, *chip* vi điều khiển sẽ tiếp tục bình thường việc thực thi chương trình từ nơi chương trình bị tạm dừng, trong vòng 2 chu kỳ máy trước khi giải thuật *reset* mềm nắm quyền điều khiển.

Ở chế độ nghỉ, phần cứng trên *chip* cấm truy xuất RAM nội nhưng cho phép truy xuất các chân của các *port*. Để tránh khả năng có một thao tác ghi không mong muốn đến một chân *port* khi chế độ nghỉ kết thúc bằng *reset*, lệnh tiếp theo yêu cầu chế độ nghỉ không nên là lệnh ghi đến chân *port* hoặc đến bộ nhớ ngoài.

*Chế độ nguồn giảm

Trong chế độ này, mạch dao động ngừng hoạt động và lệnh yêu cầu chế độ nguồn giảm là lệnh sau cùng được thực thi. RAM trên *chip* và các thanh ghi chức năng đặc biệt vẫn duy trì các giá trị của chúng cho đến khi chế độ nguồn giảm kết thúc. Chỉ có một cách ra khỏi chế độ nguồn giảm, đó là *reset* cứng.

Việc *reset* sẽ xác định lại các thanh ghi chức năng đặc biệt nhưng không làm thay đổi RAM trên *chip*. Việc *reset* không nên xảy ra (chân *reset* ở mức tích cực) trước khi Vcc được khôi phục lại mức điện áp bình thường và phải kéo dài trạng thái tích cực của chân *reset* đủ lâu để cho phép mạch dao động hoạt động trở lại và đạt trạng thái ổn định.

Trạng thái của các chân trong thời gian tồn tại chế độ nghỉ và chế độ nguồn giảm được cho trong bảng sau:

Bảng 1.3: Trạng thái của các chân

Chế độ	Bộ nhớ Chương trình	ALE	PSEN	PORT 0	PORT 1	PORT 2	PORT 3
Nghỉ	Bên trong	1	1	Dữ liệu	Dữ liệu	Dữ liệu	Dữ liệu
Nghỉ	Bên ngoài	1	1	Thả nổi	Dữ liệu	Dữ liệu	Dữ liệu
Nguồn giảm	Bên trong	0	0	Dữ liệu	Dữ liệu	Dữ liệu	Dữ liệu
	Bên ngoài	0	0	Thả nổi	Dữ liệu	Dữ liệu	Dữ liệu

* Các bit khoá bộ nhớ chương trình

Trên *chip* có ba bit khoá, các bit này có thể không cho phép lập trình hoặc cho phép lập trình, các bit này cho ta thêm một số đặc trưng nữa của AT89C51 như sau.

Khi bit khoá 1 LB1 được lập trình, mức logic ở chân \overline{EA} được lấy mẫu và được chốt trong khi *reset*. Nếu việc cấp nguồn cho *chip* không có công dụng

reset, mạch chốt được khởi động bằng một giá trị ngẫu nhiên và giá trị này được duy trì cho đến khi có tác động *reset*. Điều cần thiết là giá trị được chốt của \overline{EA} phải phù hợp với mức logic hiện hành ở chân này.

Bảng 1.4: Các bit khóa bộ nhớ chương trình

Các bit khóa chương trình				Loại bảo vệ
Chế độ	LB1	LB2	LB3	
1	U	U	U	Không có đặc trưng khóa chương trình
2	P	U	U	Các lệnh MOVC được thực thi từ bộ nhớ chương trình ngoài không được phép tìm nạp lệnh từ bộ nhớ nội, \overline{EA} được lấy mẫu và được chốt khi <i>reset</i> , hơn nữa việc lập trình trên Flash bị cấm
3	P	P	U	Như chế độ 2, cấm thêm việc kiểm tra chương trình
4	P	P	P	Như chế độ 3, cấm thêm việc thực thi chương trình ngoài

Tín hiệu lấy ra từ khối nhận biết sản phẩm và khối các công tắc và các thông báo phụ được đưa vào IC theo chương trình đã được lập trình sẵn.

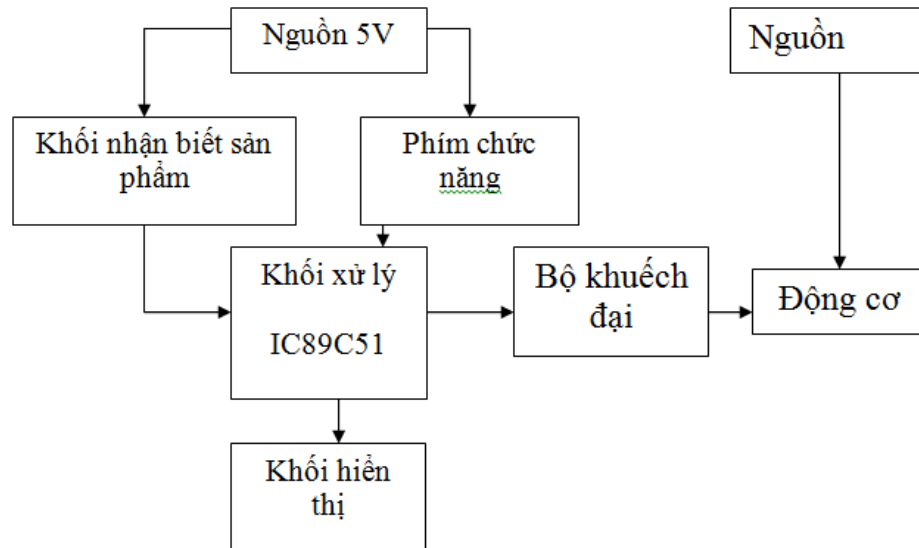
Trong IC89C51 thanh ghi R0 lưu số kẹo định sẵn, thanh ghi R1 lưu số gói định sẵn, thanh ghi R2 lưu số gói đang đếm, số kẹo đang đếm lưu tại TL0.

IC hoạt động như một bộ đếm và khi nhận tín hiệu vào thì sẽ đếm tăng lên một cứ như thế mạch sẽ đếm được số sản phẩm và điều khiển động cơ như đã lập trình.

CHƯƠNG 2

GIỚI THIỆU CÁC KHỐI TRONG SƠ ĐỒ

2.1-Sơ đồ khối.



Hình 2.1: Sơ đồ khối.

2.2. Khối nguồn.

Có hai nguồn cấp điện :

- Nguồn cấp điện 5V cho IC89C51, khối nhận biết sản phẩm, khối hiển thị, khối các công tắc và các thông báo phụ.
- Nguồn cấp điện 12V cho động cơ và bộ khuếch đại.

2.3.Khối xử lý:

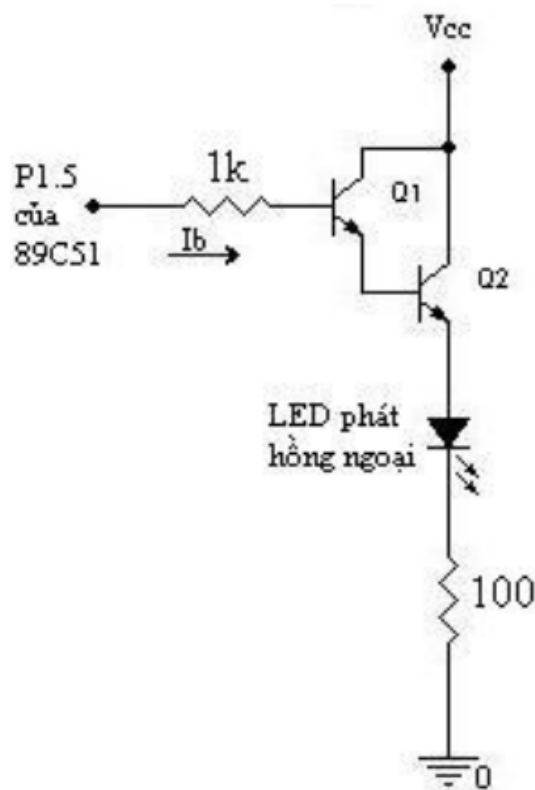
- Gồm có IC89C51 và mạch dao động của nó.
- IC 89C51 là một loại vi điều khiển trong họ 8051 với cấu trúc các thanh ghi, các bộ đệm và các bit cờ hoàn toàn được điều khiển bằng chương trình.
- Chip này có bộ nhớ RAM 2K rất thuận tiện cho các điều khiển cỡ lớn
- Chương trình viết cho IC này rất phong phú như C, C⁺⁺, Assembly, thậm chí cả những ngôn ngữ bậc cao như Visual C⁺⁺, Java,... tuy nhiên để nạp vào bộ nhớ điều khiển chúng ta phải chuyển chương

trình viết từ các ngôn ngữ khác nhau sang file định dạng kiểu Hexa, rồi dùng bộ nạp để nạp.

2.4. Khởi nhận biết sản phẩm:

Cảm biến:

Khởi phát hồng ngoại dùng timer 0 để phát xung 38khz ở một chân của 89C51 ở đây chọn chân p1.5

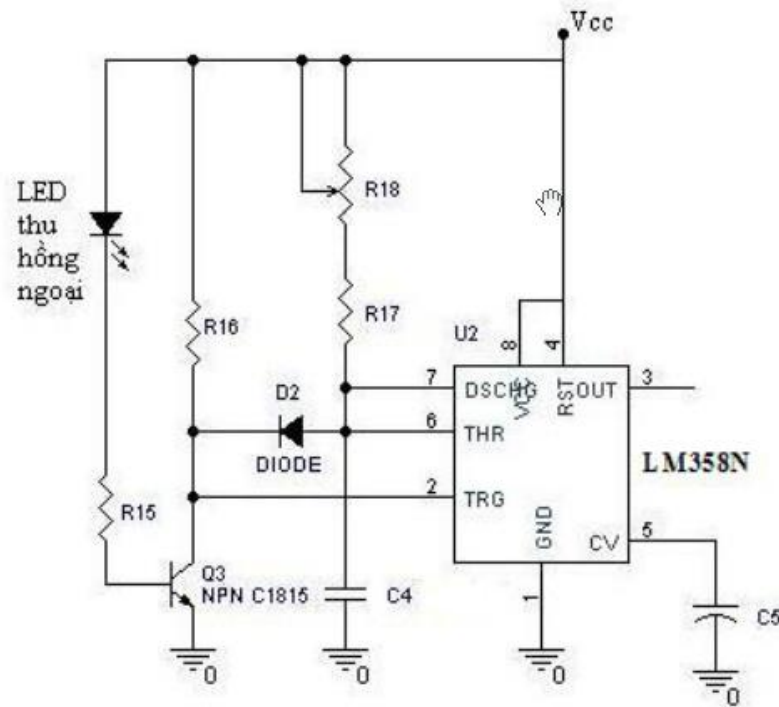


Hình 2.2: Sơ đồ phát mạch

- Dùng cách ghép darlington để khuếch đại tín hiệu đưa ra chân p1.5 vì tín hiệu từ 89C51 rất bé nên chúng ta cần khuếch đại dòng cho nó để đủ sáng led, Q1, Q2 dùng loại NPN C1815: chúng ta phát dạng xung vuông có tần số là 38 Khz tức là chân p1.5 của 89C51 sẽ liên tục đảo chiều cứ lên 1 rồi lại xuống 0, khi p1.5 lên 1 thì Q1 dẫn lúc đó có dòng V_{cc} chạy từ cực C xuống E của Q1, vì cực E của Q1 nối với cực B của Q2 nên khi Q1 dẫn thì cực B của Q2 có dòng nên Q2 cũng dẫn và có dòng chạy từ V_{cc} qua cực C và xuống E của Q2 rồi qua led phát hồng ngoại qua điện trở rồi xuống mass, lúc này led phát hồng ngoại sáng còn khi chân p1.5 xuống mức 0 thì Q1 và Q2 không dẫn nên led phát hồng ngoại sẽ tắt

- Khôi thu hồng ngoại: có chức năng là phát hiện sự mất xung (có sản phẩm đi qua) và đưa về con 89C51 để xử lý tăng số đếm lên 1 đơn vị.

Sơ đồ mạch thu



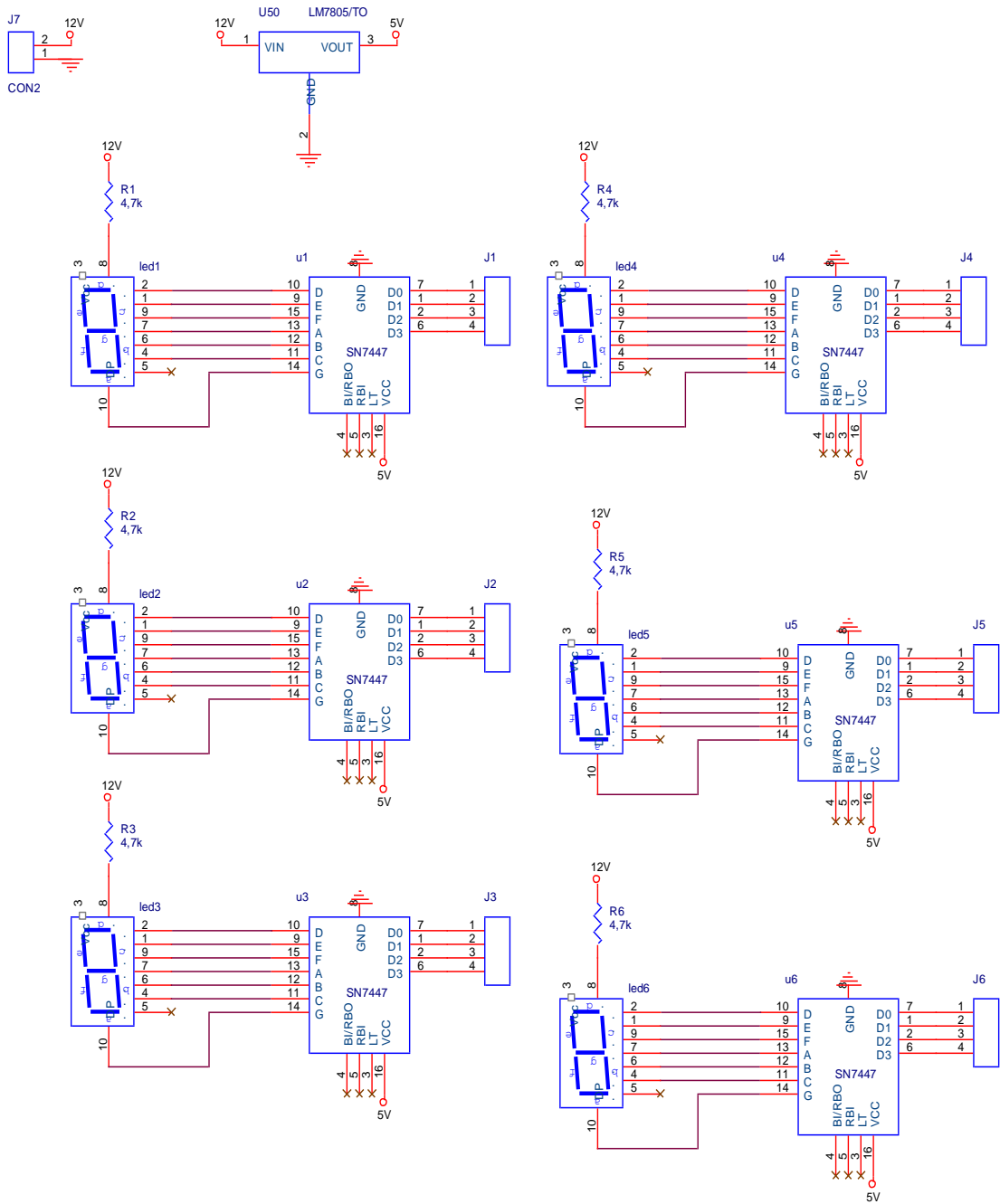
Hình 2.3: Sơ đồ mạch thu

- Nguyên lý hoạt động: khi có sản phẩm đi qua thì led thu hồng ngoại rọi qua cực B của Q3 lúc này Q3 dẫn, cực C của Q3 xuống mức thấp lúc này tụ C4 xả điện qua diode qua Q3 và xuống mass lúc này chân số 2 của LM358N được kích và tạo ra một xung ở chân số 3 đưa về cho IC 89C51 xử lý. (chân số 3 của LM358N được nối vào chân P3.2 của 89c51 tức là chân 12)

2.5. Khôi hiển thị:

- Gồm 6 đèn LED 7 đoạn để hiển thị số sản phẩm định trước và số sản phẩm đã đếm được.

- LED 7 thanh được dùng để hiển thị số sản phẩm định sẵn lấy ra từ các chân của cổng P1, số sản phẩm định sẵn lấy ra từ 4 bit thấp của P2, số gói sản phẩm đếm được lấy ra từ 4 bit cao của P2, số sản phẩm đếm được lấy ra từ các chân của cổng P0 (tất nhiên là đã qua 7447).

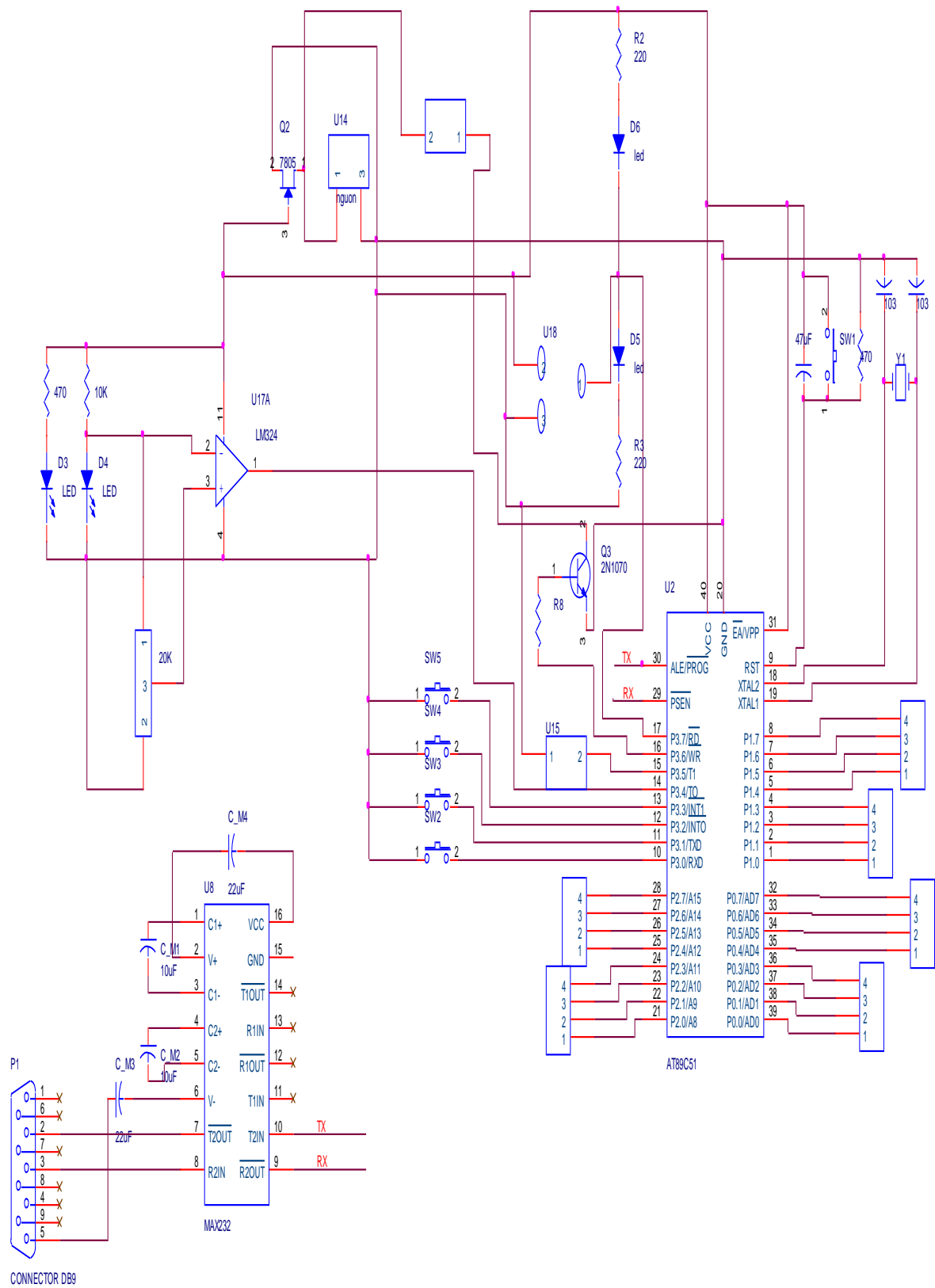


Hình 2.4: Khởi hiển thị

2.6. Bộ khuếch đại:

Vì tín hiệu ra từ IC89C51 quá nhỏ nên ta phải cho qua bộ khuếch đại tăng tín hiệu ra để điều khiển động cơ.

2.7. Sơ đồ nguyên lý:



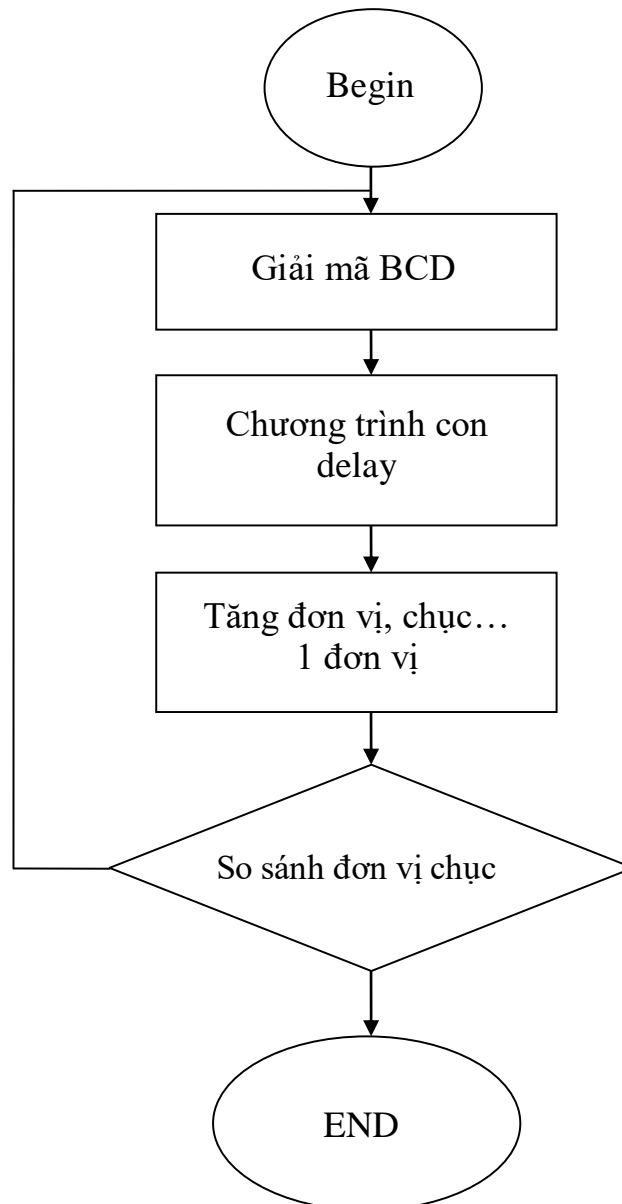
Nguyên lý hoạt động:

- Khi chưa có sản phẩm đi qua tức là cảm biến chưa tác động, chưa có tín hiệu đến mạch điều khiển ta thấy Led hiển thị về 0
- Khi có sản phẩm đi qua led thu hồng ngoại bị che khuất mất xung, tín hiệu được đưa về vi điều khiển → Led hiển thị mức sản phẩm tang lên 1 đơn vị.

CHƯƠNG 3

CHẠY CHƯƠNG TRÌNH

3.1. Lưu đồ giải thuật



3.2. Chương trình nguồn

8051 registers

ACC	Data	0xE0
B	Data	0xF0
DPH	Data	0x83
DPL	Data	0x82
IE	Data	0xA8
IP	Data	0xB8
P0	Data	0x80
P1	Data	0x90
P2	Data	0xA0
P3	Data	0xB0
PCON	Data	0x87
PSW	Data	0xD0
SBUF	Data	0x99
SCON	Data	0x98
SP	Data	0x81
TCON	Data	0x88
TH0	Data	0x8C
TH1	Data	0x8D
TL0	Data	0x8A
TL1	Data	0x8B
TMOD	Data	0x89

8051 register bit fields

IE

EA	Bit	0xAF
ES	Bit	0xAC
ET1	Bit	0xAB
EX1	Bit	0xAA
ET0	Bit	0xA9
EX0	Bit	0xA8

IP

PS	Bit	0xBC
PT1	Bit	0xBB
PX1	Bit	0xBA
PT1	Bit	0xB9
PT0	Bit	0xB9
PX0	Bit	0xB8

P3

RD	Bit	0xB7
WR	Bit	0xB6
T1	Bit	0xB5
T0	Bit	0xB4
INT1	Bit	0xB3
INT0	Bit	0xB2
TXD	Bit	0xB1
RXD	Bit	0xB0

PSW

CY	Bit	0xD7
AC	Bit	0xD6
F0	Bit	0xD5
RS1	Bit	0xD4
RS0	Bit	0xD3
OV	Bit	0xD2
P	Bit	0xD0

TCON

TF1	Bit	0x8F
TR1	Bit	0x8E
TF0	Bit	0x8D
TR0	Bit	0x8C
IE1	Bit	0x8B
IT1	Bit	0x8A
IE0	Bit	0x89
IT0	Bit	0x88

SCON

SM0	Bit	0x9F
SM1	Bit	0x9E
SM2	Bit	0x9D
REN	Bit	0x9C
TB8	Bit	0x9B
RB8	Bit	0x9A
TI	Bit	0x99
RI	Bit	0x98

```

ORG 0000H
LJMP MAIN
ORG 0003H; tang so hang don vi dinh san = ngat ngoai 0
INC R7
RETI
ORG 0013H ;tang so hang tram dinh san = ngat ngoai 1
INC R1
RETI
; Khai bao cac ham
ORG 0030H
; Tre nua giay
DELAY_500ms:
MOV R3,#20
LOOP1: MOV R4,#50
LOOP2: MOV R5,#255
LOOP3: DJNZ R5,LOOP3
DJNZ R4,LOOP2
DJNZ R3,LOOP1
; Hien thi ra den led
HIENTHI:
; Hien thi (so keo)/goi dinh san ra p1
MOV A,R0; Chuyen thanh ma BCD
MOV B,#10
DIV AB
SWAP A
ADD A,B
MOV P1,A

```


; Hien thi so keo dang dem ra p0

MOV A,TL0

MOV B,#10

DIV AB

SWAP A

ADD A,B

MOV P0,A

; Hien thi so goi dang dem ra 4 bit cao, so goi dinh san ra 4 bit thap cua p2

MOV A,R2 ; So goi dang duoc dem

SWAP A ; Dua R2 ra 4 bit cao cua P2

MOV B,R1 ; So goi dinh truoc duoc dua ra 4 bit thap cua P2

ADD A,B

MOV P2,A ; Hien thi so goi dang dem duoc

RET

; Gioi han so keo trong 1 goi <100

SSKGH:

; Gioi han R0<100

CJNE R0,#100,NEXT; So sanh voi 100

MOV R0,#0 ; =100 => R0=0

RET

NEXT: ; # 100

JC END1 ; < 100

MOV R0,#0 ; >100

RET

END1:

RET

GH_hang_chuc:

; Gioi han R6<10

CJNE R6,#10,NEXT1; So sanh voi 10

```

MOV R6,#0 ; =10 => R6=0
RET
NEXT1: ; # 10
JC END1 ; < 10
MOV R6,#0 ; >10
RET
GH_hang_dvi:
; Gioi han R7<10
CJNE R7,#10,NEXT0; So sanh voi 10
MOV R7,#0 ; =10 => R7=0
RET
NEXT0: ; # 10
JC END1 ; < 10
MOV R7,#0 ; >10
RET
;NEXT0: ; # 10
;JC END1 ; < 10
;MOV R7,#0; >10
;RET
SSKDS:
; So sanh so keo dem dc voi so keo dinh san
MOV A,TL0
; So sanh TL0 voi thanh ghi R0
CJNE A,0,NEXT2 ; Neu khac nhay toi next2
; neu bang, so sanh tiep voi 0
CJNE A,#0,NGAT1 ; Neu khac0 -> nhay toi ngat
RET
RET
NGAT1: ; Tang so goi dem dc

```

```

INC R2
SETB P3.6 ; Bat LED khi du 1 goi
LCALL DELAY_500ms
CLR P3.6 ; Cho sang nua giay roi tat
MOV TL0,#00H ; Xoa so keo dem ve 0
RET
NEXT2:
JC END2; TL0<R0 THI RETURN
MOV A,TL0 ;TL0 >0 THI CHIA TL0 CHO R0, PHAN NGUYEN ( SO GOI)
CONG THEM VAO SO GOI DEM DC, PHAN DU CONG VAO SO KEO
DEM DC -> DOI PHO VOI TH TL0>R0
MOV B,R0
DIV AB
ADD A,R2
MOV R2,A
MOV TL0,B
RET
END2:
RET
SSGGH: ; GIOI HAN SO GOI <10
CJNE R1,#10,NEXT3
MOV R1,#0
RET
NEXT3:
JC END3
MOV R1,#0
RET
END3:
RET

```

```

SSGDS: ; SS SO GOI VOI SO GOI DINH SAN
MOV A,R2
CJNE A,1,NEXT4
CJNE A,#0,NGAT
RET
RET
NEXT4:
JC END4
CLR P3.5 ; NEU SO GOI DEM DC LON HON SO GOI DINH TRUOC THI
TAT DONG CO
MOV TL0,#0
MOV R2,#0
RET
END4:
RET
NGAT:
CLR P3.5 ; TAT DONG CO NEU R2=R1 (SO GOI DEM =SO DINH SAN)
MOV TL0,#0
MOV R2,#0
MOV R1,#0
MOV R0,#0
MOV TMOD,#0
MOV IE,#0
CLR TR0
RET
GHEP_SO:
; SAU KHI NHAP SO HANG DON VI VAO R7, SO HANG CHUC VAO R6,
GHEP 2 SO NAY THANH SO NHI PHAN CHI SO GOI TAI RO
MOV A,R6

```

```
MOV B,#10
MUL AB
ADD A,R7
MOV R0,A
RET
```

```
;-----*-----
```

```
; CAC HAM CUA CHE DO DEM SAN PHAM
```

```
GH_VA_DEM_R0_DEN_100:
```

```
; GIOI HAN TL0<100
```

```
MOV A,TL0
```

```
CJNE A,#100,NEXT21
```

```
MOV TL0,#0
```

```
INC R2
```

```
RET
```

```
NEXT21:
```

```
JC END21
```

```
MOV A,TL0
```

```
MOV B,#100
```

```
DIV AB
```

```
ADD A,R2
```

```
MOV R2,A
```

```
MOV A,TL0
```

```
ADD A,B
```

```
MOV TL0,A
```

```
RET
```

```
END21:
```

```
RET
```

```

SO_SANH:
MOV A,R2
CJNE A,1,NEXT22
CJNE A,#0,SO_SANH1
CJNE R0,#0,SO_SANH1
MOV A,TL0
CJNE A,#0,SO_SANH1
RET
RET
RET
RET
RET
RET
SO_SANH1:
MOV A,TL0
CJNE A,0,NEXT23; SS TL0 VOI THANH GHI R0
CLR P3.5; TAT DONG CO NEU R2 =R1( SO GOI DEM= SO DINH TRUOC)
MOV TL0,#0
MOV R2,#0
MOV R1,#0
MOV R0,#0
MOV TMOD,#0
MOV IE,#0
CLR TR0
RET
RET
NEXT22:
JC END22
CLR P3.5; TAT DONG CO
MOV TL0,#0

```

```

MOV R2,#0
RET
END22:
RET
NEXT23:
JC END23
MOV A,TL0
MOV B,R0
DIV AB
ADD A,R2
MOV R2,A
MOV TL0,B
RET
END23:
RET
MAIN:
; KHOI DONG NGAT NGOAI
MOV R0,#00H
MOV R1,#00H
MOV R2,#00H
MOV R6,#0
MOV R7,#0
MOV IE,#10000101B; KHOI DONG 2 NGAT NGOAI
SETB IT0; CHON KICH SUON AM
SETB IT1; KHOI DONG BO DEM
MOV TMOD,#00000110B ; BO DEM 0, CHE DO 1
MOV TH0,#0
SETB P3.4
SETB P3.1

```

```

SETB P3.0
CLR P3.5
SETB P3.7
CLR P3.6
LCALL DELAY_500ms
JNB P3.7,MAIN2; NEU P3.7 = 0 -> NHAY DEN CHE DO 2
; NEU P3.7 =1 -> CHE DO DEM SAN PHAM
LJMP MAIN1; NHAY DEN CHE DO DEM SP ( CHE DO 1) KHI
P3.7=1(MAC DINH)

```

```

;-----*-----

```

```

; CHE DO DEM 1 SAN PHAM

```

```

START1:

```

```

SETB P3.5

```

```

SETB P3.0

```

```

LJMP AFTER_START1

```

```

RET

```

```

TANG_SO_HANG_CHUC1:

```

```

INC R6

```

```

LCALL DELAY_500ms

```

```

SETB P3.1

```

```

LJMP AFTER_TANG_SO_HANG_CHUC1

```

```

RET

```

```

MAIN1:

```

```

; CHE DO DEM KHI P3.7 =1

```

```

; KHOI DONG NGAT NGOAI

```

```

AGAIN1:

```

```

SETB TR0

```



```

BACK1:
JNB P3.0,START1; NEU ENTER DC AN -> NHAY DEN START1 DE KHOI
DONG DC
AFTER_START1:
JNB P3.1,TANG_SO_HANG_CHUC1 ;NEU P3.1 AN -> TANG SO HANG
CHUC LEN 1
AFTER_TANG_SO_HANG_CHUC1:
LCALL GH_hang_dvi; GIOI HAN HANG DON VI <10
LCALL GH_hang_chuc; GIOI HAN HANG CHUC <10
LCALL SSGGH; GIOI HAN HANG TRAM <100
LCALL GHEP_SO; GHEP HANG CHUC VA HANG DON VI THANH 1 SO
NHI PHAN
LCALL HIEN THI; HIEN THI
LCALL GH_VA_DEM_R0_DEN_100
LCALL SO_SANH; SO SANH CAC SO DEM DC VOI SO DINH TRUOC,
NEU DU THI TAT
JNB TF0,BACK1
CLR TR0
CLR TF0
SJMP AGAIN1
;-----*-----
; CHE DO 2: DONG GOI
START2:
SETB P3.5
SETB P3.0
LJMP AFTER_START2
RET
TANG_SO_HANG_CHUC2:
INC R6

```

```
LCALL DELAY_500ms; TRE CHONG XUNG NAY
SETB P3.1
LJMP AFTER_TANG_SO_HANG_CHUC2
RET
MAIN2: ; CHE DO 2(DONG GOI)
AGAIN2
SETB TR0
BACK2:
JNB P3.0,START2
AFTER_START2:
JNB P3.1,TANG_SO_HANG_CHUC2
AFTER_TANG_SO_HANG_CHUC2:

LCALL GH_hang_dvi
LCALL GH_hang_chuc
LCALL GHEP_SO
LCALL HIENTHI
LCALL SSKGH
LCALL SSGGH
LCALL SSKDS
LCALL SSGDS
JNB TF0,BACK2
CLR TR0
CLR TF0
SJMP AGAIN2
```

END

KẾT LUẬN

Sau thời gian 3 tháng làm đề án với sự hướng dẫn tận tình của Cô giáo **Thạc sĩ Đỗ Thị Hồng Lý**. Em đã hoàn thành đề tài được giao “**Thiết kế mạch đếm sản phẩm**”. Thông qua đề tài thiết kế hệ thống cung cấp điện đã thực sự giúp em hiểu biết rõ ràng hơn về những gì em đã được học trong suốt thời gian qua.

Đối với em, đề tài thực sự phù hợp với những kiến thức em đã tích lũy được khi học về thiết kế hệ thống cung cấp điện. Do trình độ kiến thức cũng như kinh nghiệm thực tế còn hạn chế, cộng với việc thiếu thốn trong thu thập tài liệu tham khảo và thời gian nghiên cứu, tìm hiểu đề tài còn hạn chế nên dù đã cố rất cố gắng nhưng chắc rằng đề án còn nhiều thiếu sót. Em mong các thầy cô châm trước và nhận được sự chỉ bảo tận tình của các thầy cô để có thể hiểu và tiếp cận gần hơn với thực tế.

Em xin chân thành cảm ơn thầy giáo **Thạc sĩ Đỗ Thị Hồng Lý** đã trực tiếp hướng dẫn và giúp đỡ tận tình em hoàn thành bản đề án này. Đó chính là những kiến thức cơ bản giúp em thực hiện tốt nhiệm vụ tốt nghiệp và là nền tảng cho công việc sau này của em.

Em xin chân thành cảm ơn!

Hải Phòng, ngày 30 tháng 8 năm 2018

Sinh viên

Nguyễn Thanh Tân

TÀI LIỆU THAM KHẢO

- [1] Nguyễn Tăng Cường và Phan Quốc Thắng (2004), *Cấu trúc và lập trình họ vi điều khiển 8051*, Nhà xuất bản Khoa học kỹ thuật.
- [2] Ngô Diên Tập(1998), *Lập trình bằng hợp ngữ*, Nhà xuất bản Khoa học kỹ thuật, Hà Nội.
- [3] Nguyễn Quang Hùng và Trần Ngọc Bình(2003), *Động cơ bước Kỹ thuật điều khiển và ứng dụng*, Nhà xuất bản Khoa học kỹ thuật, Hà Nội .
- [4] Văn Thế Minh (1997), *Kỹ thuật vi xử lí*, Nhà xuất bản giáo dục .
- [5] TS. Đặng Văn Chuyết và cộng sự (2003), *Giáo trình kỹ thuật mạch điện tử*, Nhà xuất bản giáo dục .
- [6] Huỳnh Đắc Thắng (1994), *Cẩm nang thực hành vi mạch tuyến tính, TTL/LS, CMOS*, Nhà xuất bản Khoa học kỹ thuật, Hà Nội.
- [7] Intel Semiconductors: *Intel MCS-51 Microcontroller family user's manual*, Glence, Mc Graw Hill Publication, 1997.
- [8] AT89c51 Datasheet, Atmel Corp...